



C	B	A	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Fig. 9-2 Decodificador de 3 linhas para 8 linhas (ou 1 de 8).

em ALTO, o decodificador funciona normalmente, e o código de entrada, A , B e C , determina qual das saídas fica em ALTO. Entretanto, com a HABILITAÇÃO mantida em BAIXO, todas as saídas são forçadas para o estado BAIXO, não importando os níveis nas entradas A , B e C . Assim, o decodificador é habilitado somente quando HABILITAÇÃO está em ALTO.

A Fig. 9-3(a) mostra o diagrama lógico para o decodificador 74LS138, conforme ele aparece no *Manual TTL (TTL Data Book)* da Fairchild. Examinando este diagrama cuidadosamente, podemos determinar exatamente como este decodificador funciona. Primeiramente, note que ele tem saídas com portas NAND, de modo que suas saídas são ativas em BAIXO. Outra indicação é a identificação das saídas como \bar{O}_0 , \bar{O}_1 , \bar{O}_2 e assim por diante: a barra indica saídas ativas em BAIXO.

O código de entrada é aplicado em A_2 , A_1 e A_0 , onde A_2 é o MSB. Com três entradas e oito saídas, este é um decodificador 3 para 8 ou, de modo equivalente, um decodificador 1 de 8.

As entradas \bar{E}_1 , \bar{E}_2 e E_3 são entradas de habilitação paradas que são combinadas na porta AND. Para que as portas NAND de saída para responder ao código de entrada em A_2, A_1, A_0 , a saída desta porta AND deve estar em ALTO. Isto só ocorre quando $\bar{E}_1 = \bar{E}_2 = 0$ e $E_3 = 1$. Outras palavras, \bar{E}_1 e \bar{E}_2 são ativos em BAIXO, E_3 é ativo em ALTO, e todos três devem estar ativos para habilitar o decodificador. Se uma ou mais entradas de habilitação estão em seu estado inativo, a saída da porta AND é BAIXO, o que força todas as saídas NAND para respectivos estados inativos em ALTO, não importa qual o código de entrada. Esta operação está resumida na