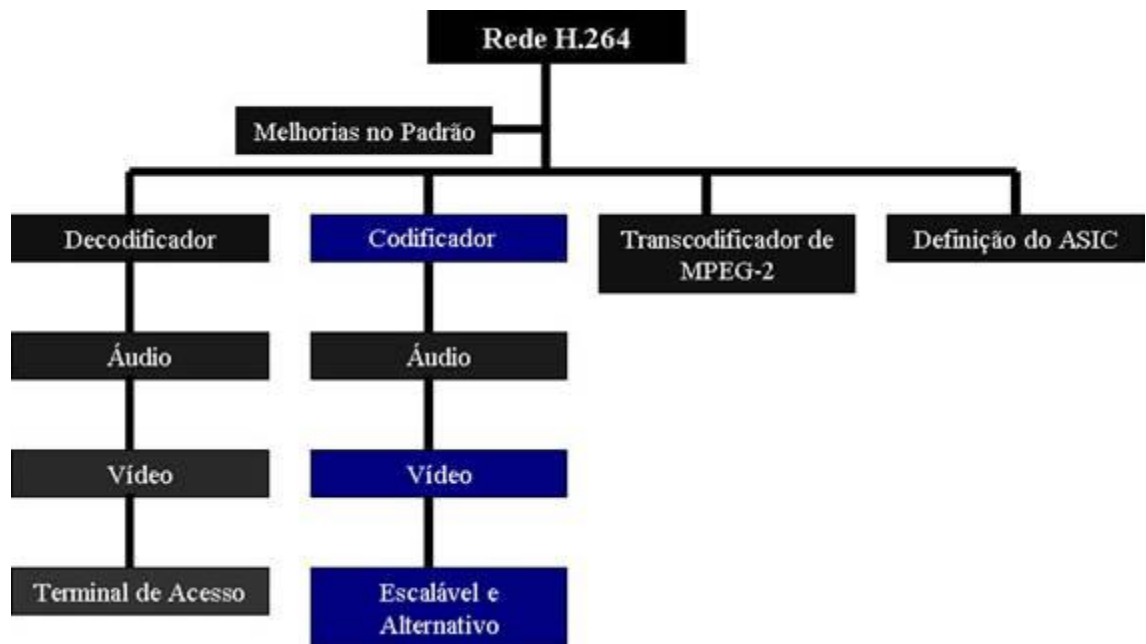


REDE-H264

O projeto REDE-H264 foi firmado entre Universidade Federal do Rio Grande do Sul e outras instituições de ensino brasileiras de renome, com o objetivo de desenvolver produtos associados à codificação e à decodificação de sinais-fonte para o SBTVD (Sistema Brasileiro de TV Digital), como se pode observar na figura abaixo:



Os resultados obtidos se destinam a entidades e empresas, que produzem equipamentos de recepção ou transmissão para a televisão digital, visando, posteriormente, uma difusão dos mesmos para a população em geral. Apesar de o H.264 ser um sistema de computação complexa, o ganho de banda e de espaço de armazenamento que o padrão propicia, justifica qualquer investimento realizado em pouco tempo.

Particularmente o PRAV, dentro da rede H.264, está como responsável por dois projetos descritos a seguir:

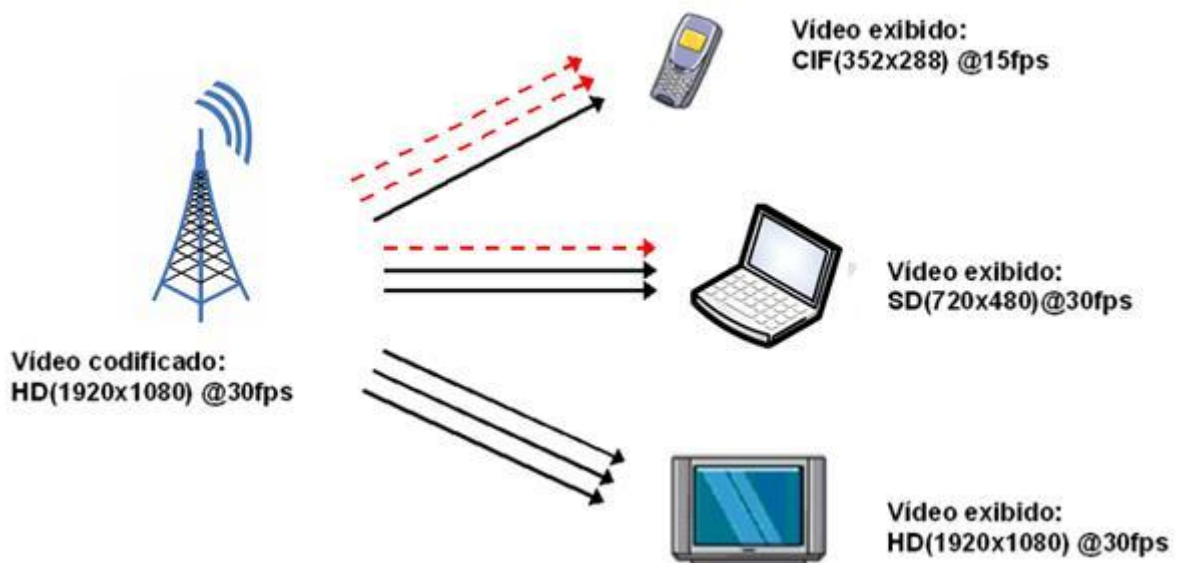
- Codificador/Decodificador de Vídeo Escalável
- Codificador Paralelo em Arquiteturas de Alto Desempenho

Codificador/Decodificador de Vídeo Escalável

Este projeto objetiva produzir uma arquitetura de codificador de vídeo escalável, compatível com o padrão H.264 como uma solução complementar e alternativa do mesmo. A definição desta arquitetura deve levar em consideração demandas de aplicações práticas típicas, tais como reduzida complexidade e baixa latência.

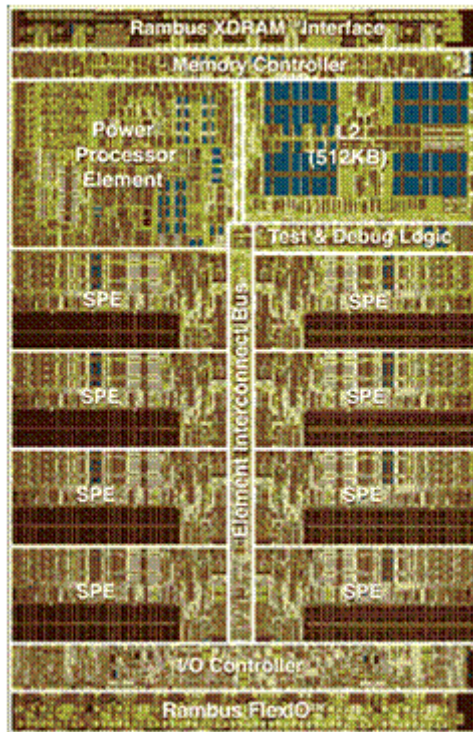
A idéia da codificação de vídeo escalável surgiu como forma de atender a redes heterogêneas, compostas por dispositivos com diferentes capacidades de processamento, ou interligados com canais de comunicação restritos ou não confiáveis. Para estes casos, o conceito de escalabilidade propõe que o vídeo seja gerado e transmitido em diversas camadas complementares. Cada dispositivo, de acordo com restrições, pode consumir adaptativamente apenas as camadas que tem capacidade de atender, descartando as demais. Quanto mais camadas forem processadas maior o detalhamento do vídeo a ser exibido.

Na figura abaixo traz um exemplo ilustrativo deste tipo de situação, onde três tipos de dispositivos compartilham uma mesma rede sem fio. Por apresentarem diferentes capacidades de processamento de vídeo, diferentes resoluções e taxas de amostragem são suportadas por cada dispositivo.



O projeto envolve programação em linguagem C ANSI para produção de uma versão em software, bem como desenvolvimento de uma descrição em linguagem VHDL visando para implementação em hardware (lógicas programáveis).

Codificador Paralelo em Arquiteturas de Alto Desempenho



Este projeto tem por finalidade estudar e propor estratégias de implementação de um codificador de vídeo padrão H.264, com vistas a se obter uma solução de processamento paralelo otimizada.

Dentre as tecnologias pesquisadas para implementação desta versão paralela incluem-se microprocessadores de alto desempenho de múltiplos núcleos, tais como Intel QuadCore e Cell® IBM (figura ao lado).

O projeto envolve o estudo dos algoritmos internos de um codificador de vídeo visando identificar seus principais módulos paralelizáveis, bem como a implementação física destes módulos em

plataformas comerciais utilizando-se de linguagens de programação de baixo nível, tais como C ANSI e assembly.

Financiamento: FINEP

Cooperação: UFRGS, LSITec, COPPE/UFRJ, IME, UFRN, UnB, UFSC, Unicamp e Ceitec.

Período: 2009 - 2010