

Instruções para Trabalho 2

Sistemas Digitais
2008-2

Em dupla ou individual

Especificação

Parte 1- Implementar em VHDL o algoritmo Bubble sort para ordenar 32 (2^5) números localizados na memória embarcada.

Após a ordenação, a memória deve conter os 32 (2^5) valores ordenados em ordem crescente.

Parte 1

- O que deve ser mostrado?
 - Fluxograma ASM do algoritmo para VHDL
 - Código VHDL do algoritmo implementado
 - Área / desempenho / tempo de execução / potência
 - Justificativa pela arquitetura escolhida (maior ou menor paralelismo, recursos de hardware, etc..)
 - Como o algoritmo implementado é escalonável para outros números de ordenação (2^n) - recursos de hardware, tempo de execução.

Especificação

Parte 2 - Implementar em Assembly o algoritmo Bubble sort para ordenar 32 (2^5) números localizados na memória embarcada e colocar o programa no RAMSES.

Após a ordenação, a memória deve conter os 32 (2^5) valores ordenados em ordem crescente.

Parte 2

- O que deve ser mostrado?
 - Algoritmo em Assembly para o RAMSES
 - Simulação do RAMSES rodando o programa e ordenando os 32 valores gravados na memória.
 - Area / desempenho / tempo de execução / potencia
 - Justificativa do algoritmo escolhido no RAMSES (maior ou menor paralelismo, etc..)
 - Como o algoritmo implementado é escalonável para outros números de ordenação (2^n) - numero de instruções, tempo de execução.

Conclusão

- No final, o aluno deverá comparar as duas implementações em termos de área, desempenho, tempo de execução e potência para o mesmo componente FPGA escolhido.

Apresentação

- Oral: cada dupla terá 15 min para apresentar o trabalho oralmente. Será necessário fazer slides.
- Escrita: 2 paginas escritas com arquitetura, programa e resultados. Para ser entregue por email junto com slides e arquivos VHDLs.