



Modificação da Organização da Interface do Processador Plasma com a Memória

Vítor da Rosa



Sumário

- Contexto
- Recursos
- Core
- Proposta de Modificações
- Objetivos
- Modificações Realizadas
- Bibliografia

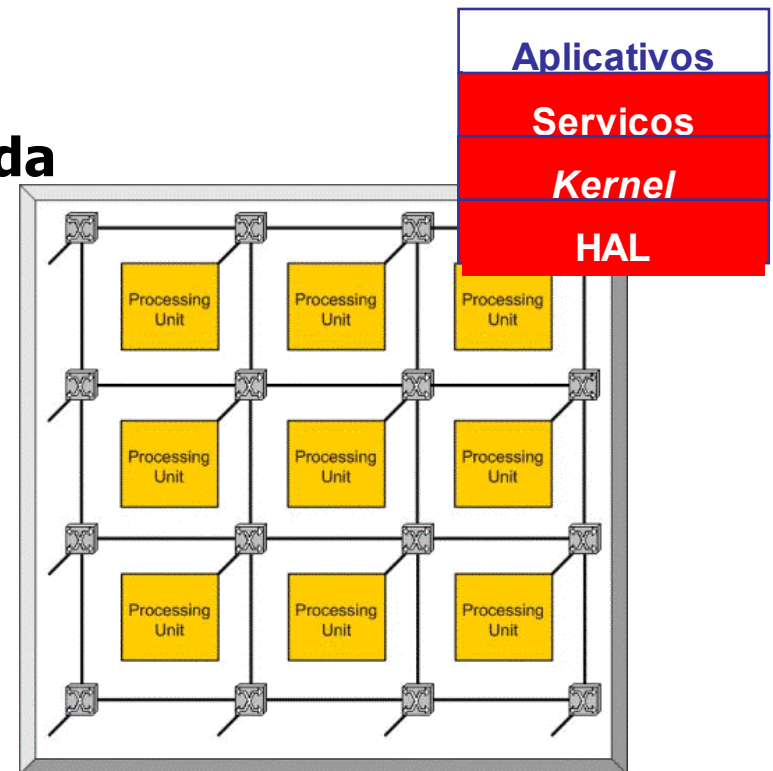
Contexto

■ NoCs

- Compartilhamento de Dados
 - **Memória Compartilhada**
 - Memória Privada

■ OSs

- Comunicação
- Alocação de Recursos
- **Migração de Tarefas**





Recursos

- Core Plasma MIPS I™
 - Código em VHDL aberto (Prototipável FPGA/Altera)
- Simulador SPIM
- Compilador GCC.

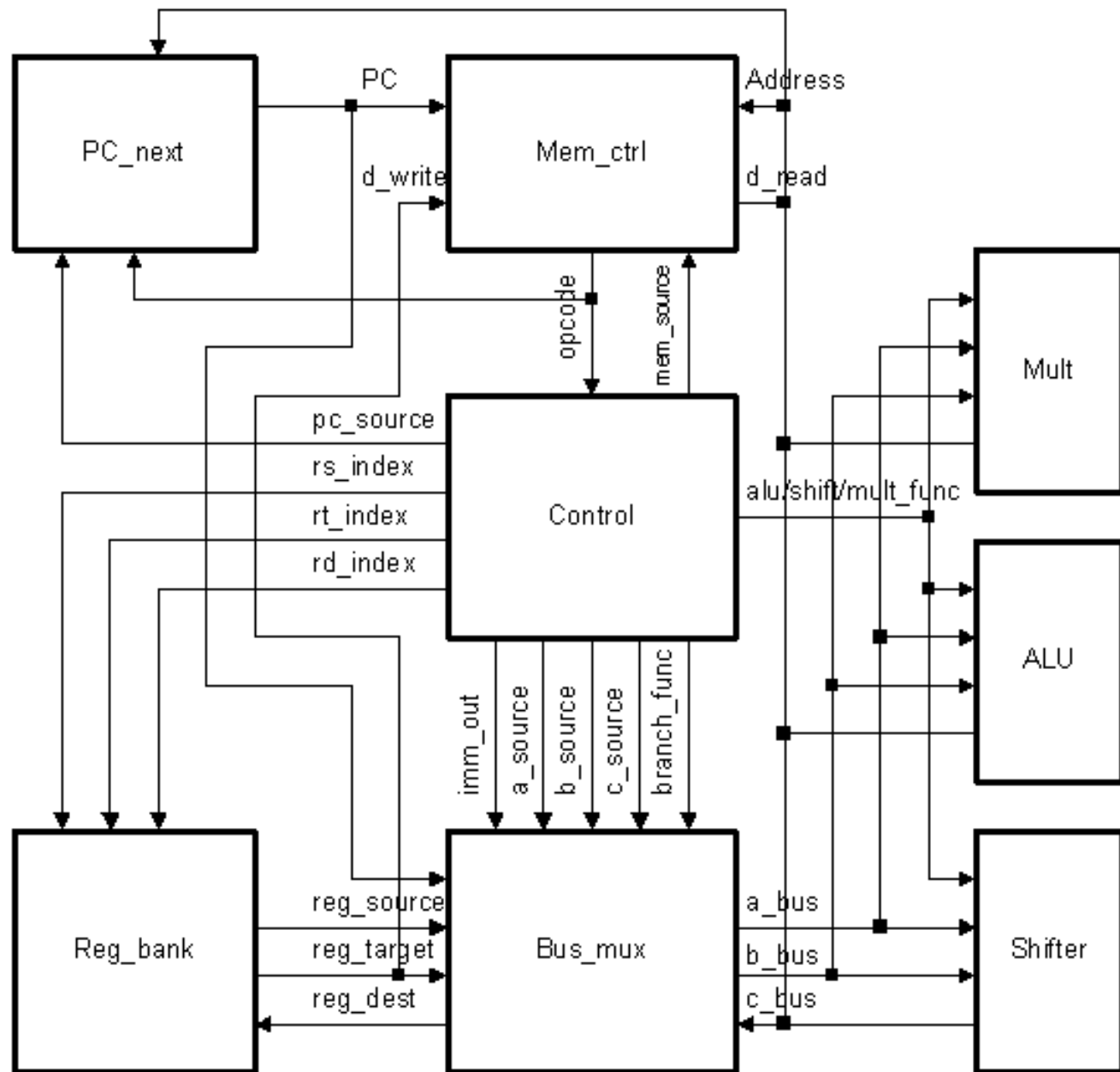
Recursos disponíveis para
Linux/Windows.



Core

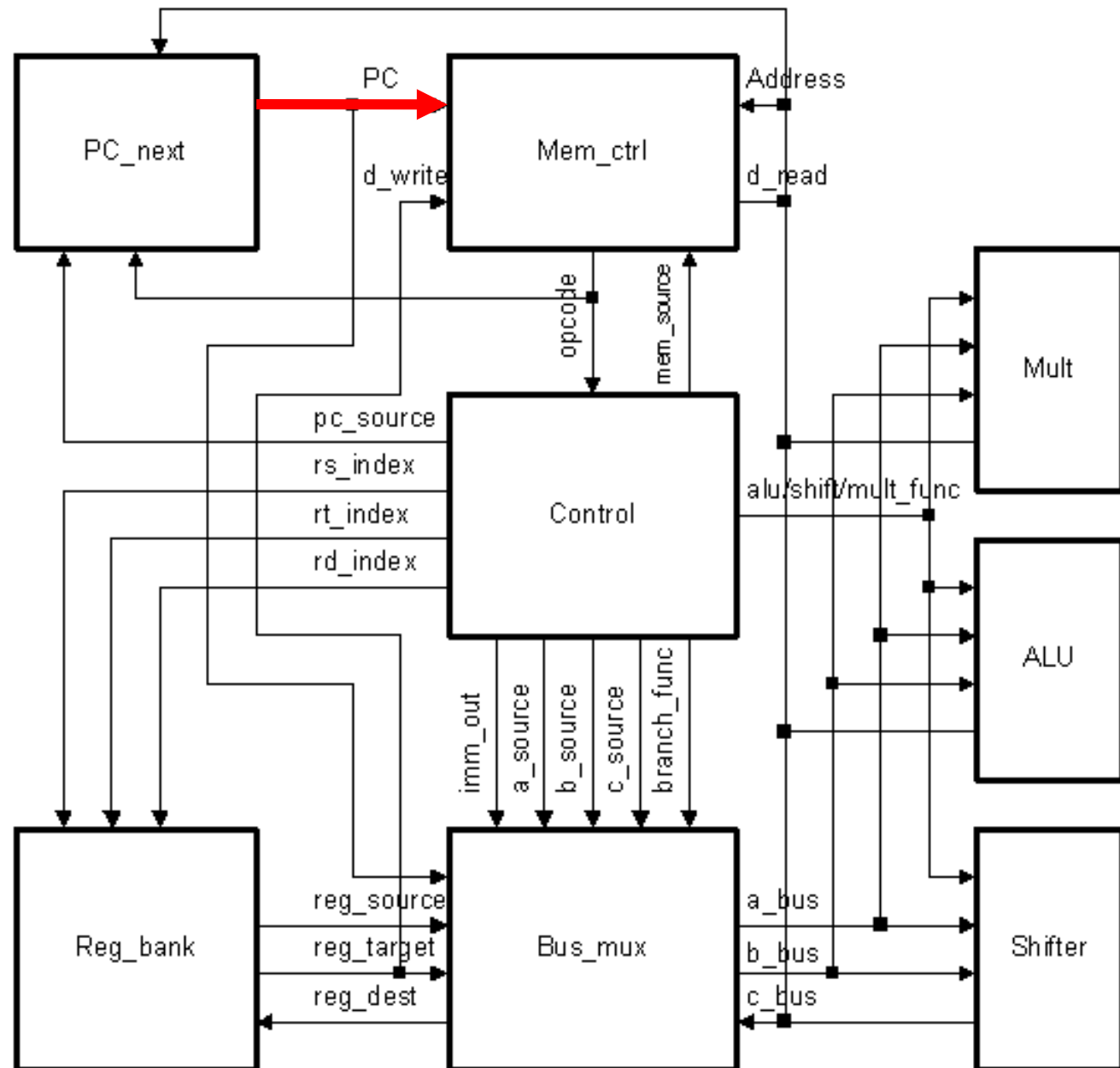
- Plasma:
 - Implementa TODAS instruções do Mips I™
 - Exceto Exceções e Operações não alinhadas na memória (através de load/store).
 - Pipeline de 4 ou 5 estágios
 - Obs: Utilizar 4 estágios atrasa alguns sinais de controle
 - Big/Little Endian

Core



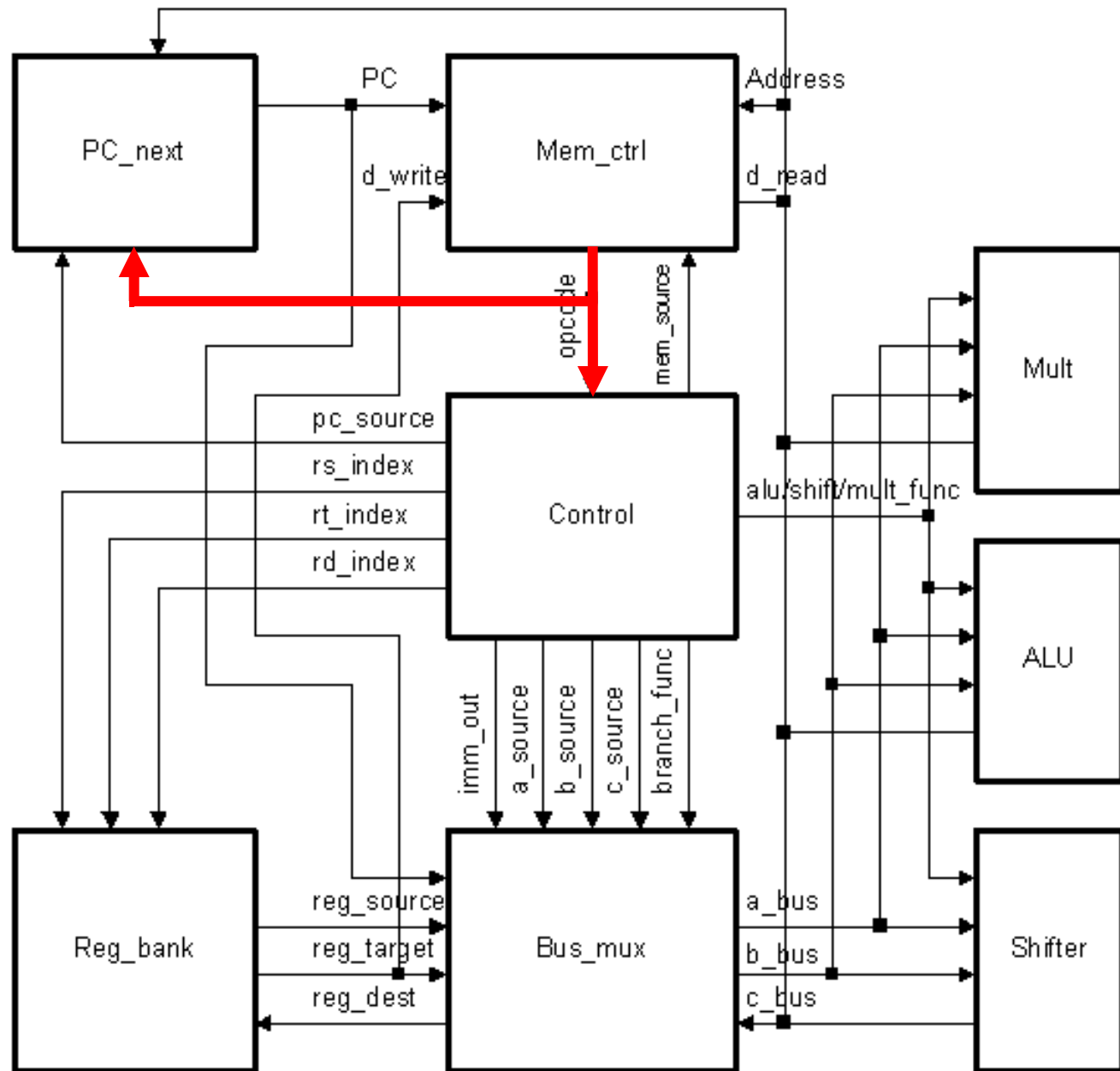
Core

- 3 Regs de Pipeline
- 1º Estágio: IF



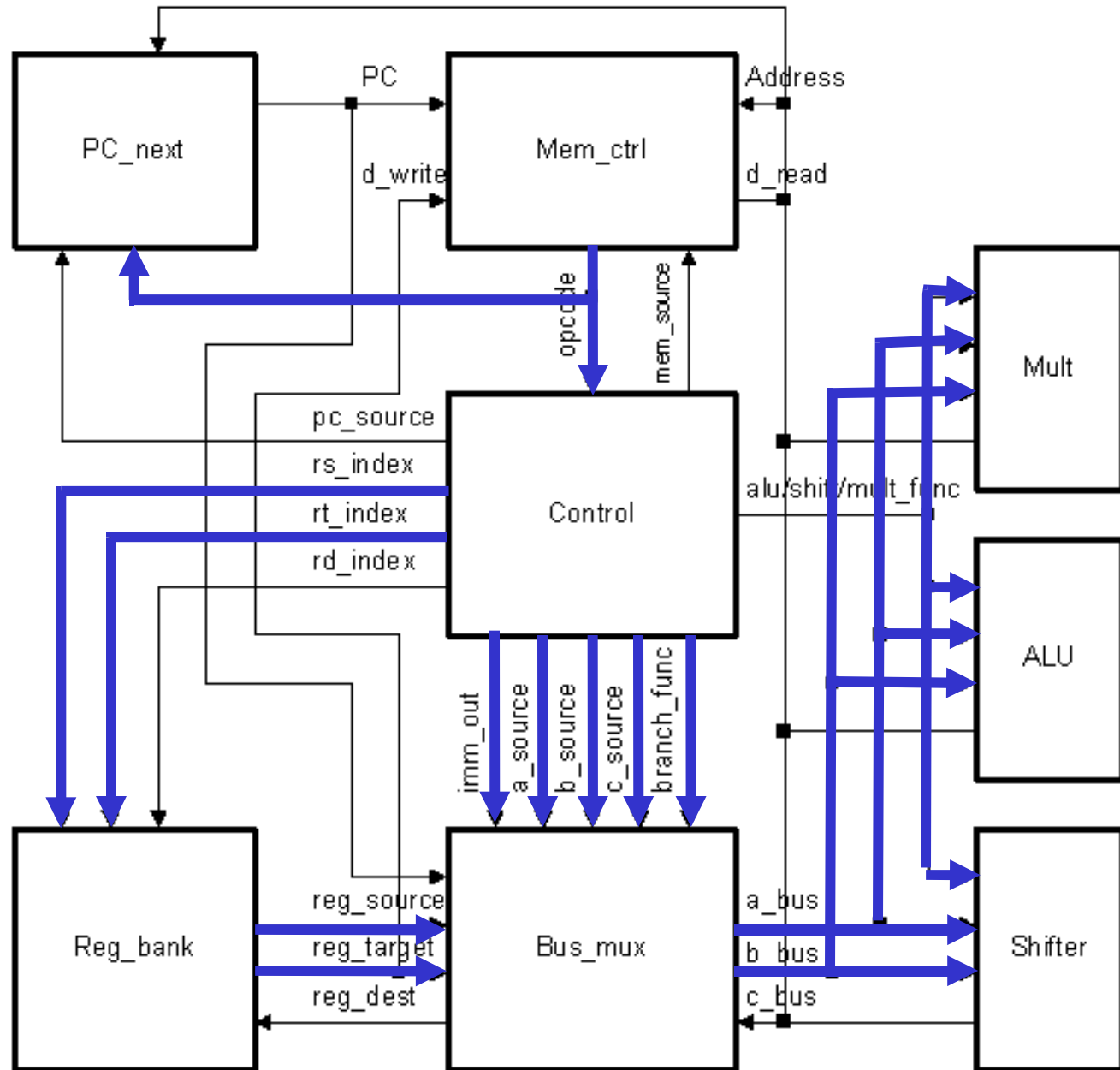
Core

- 3 Regs de Pipeline
- 2º Estágio: IF



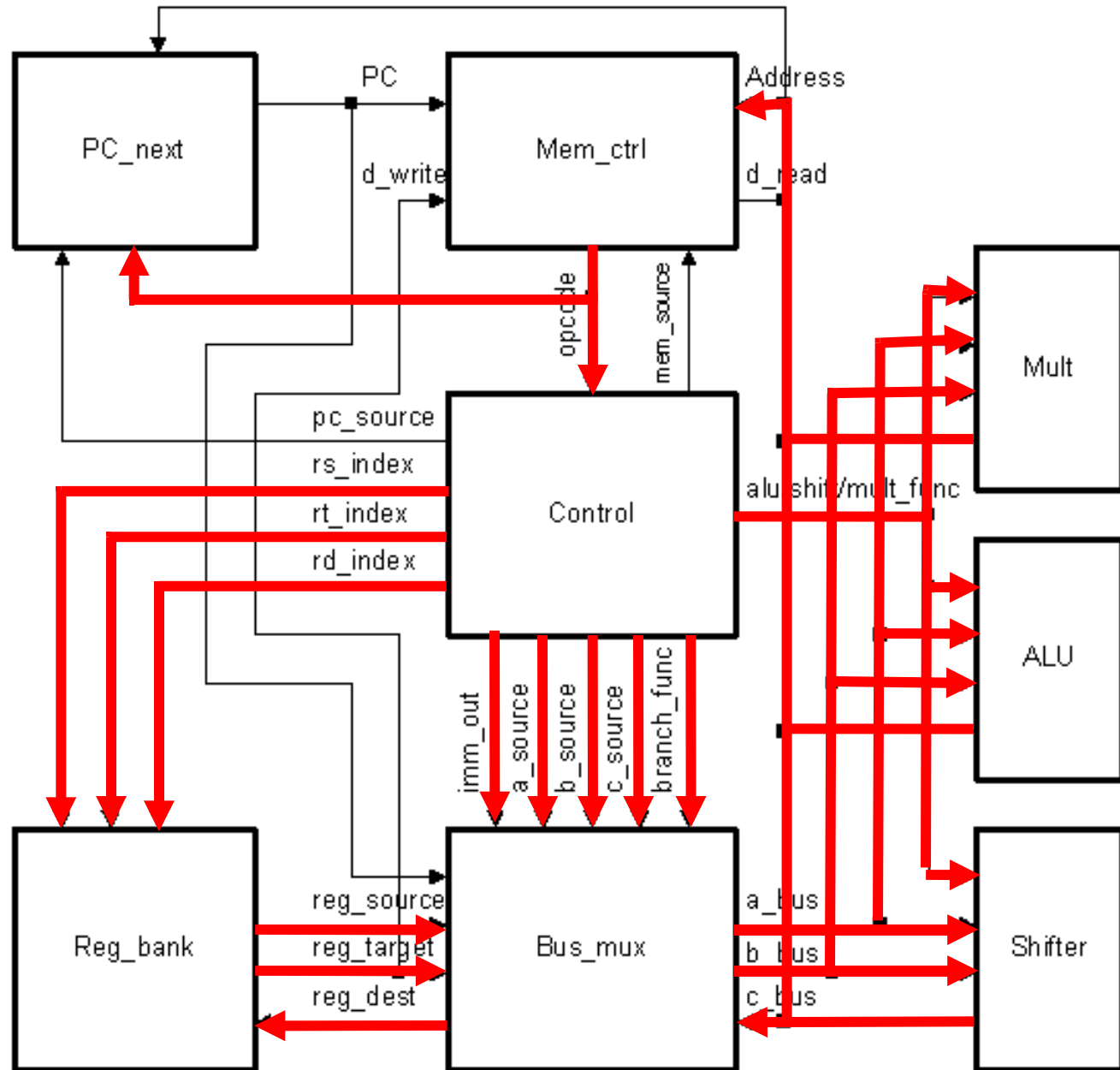
Core

- 4 Regs de Pipeline
- 3º Estágio: ID



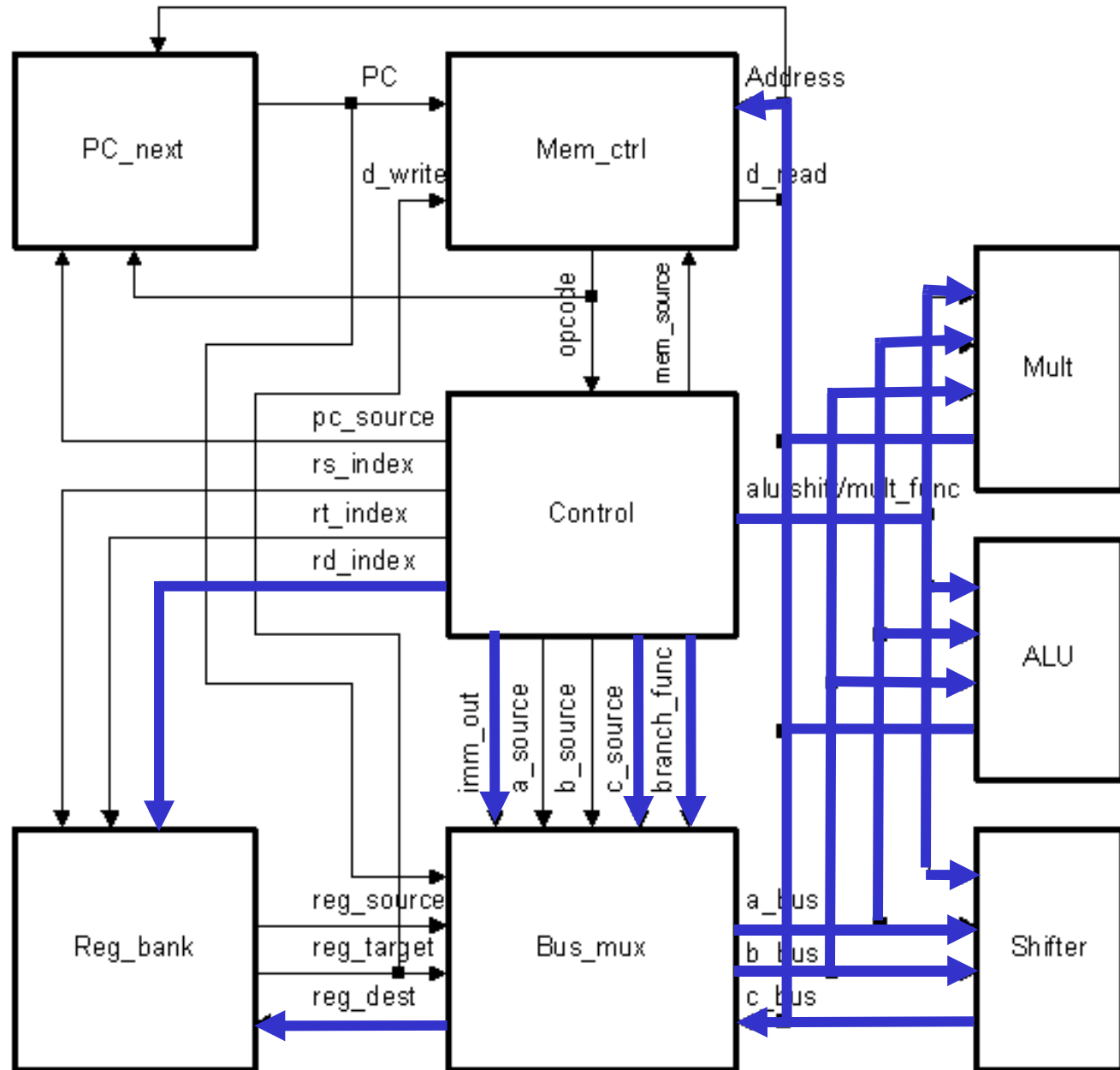
Core

- 3 Regs de Pipeline
- 3º Estágio: ID e Ex



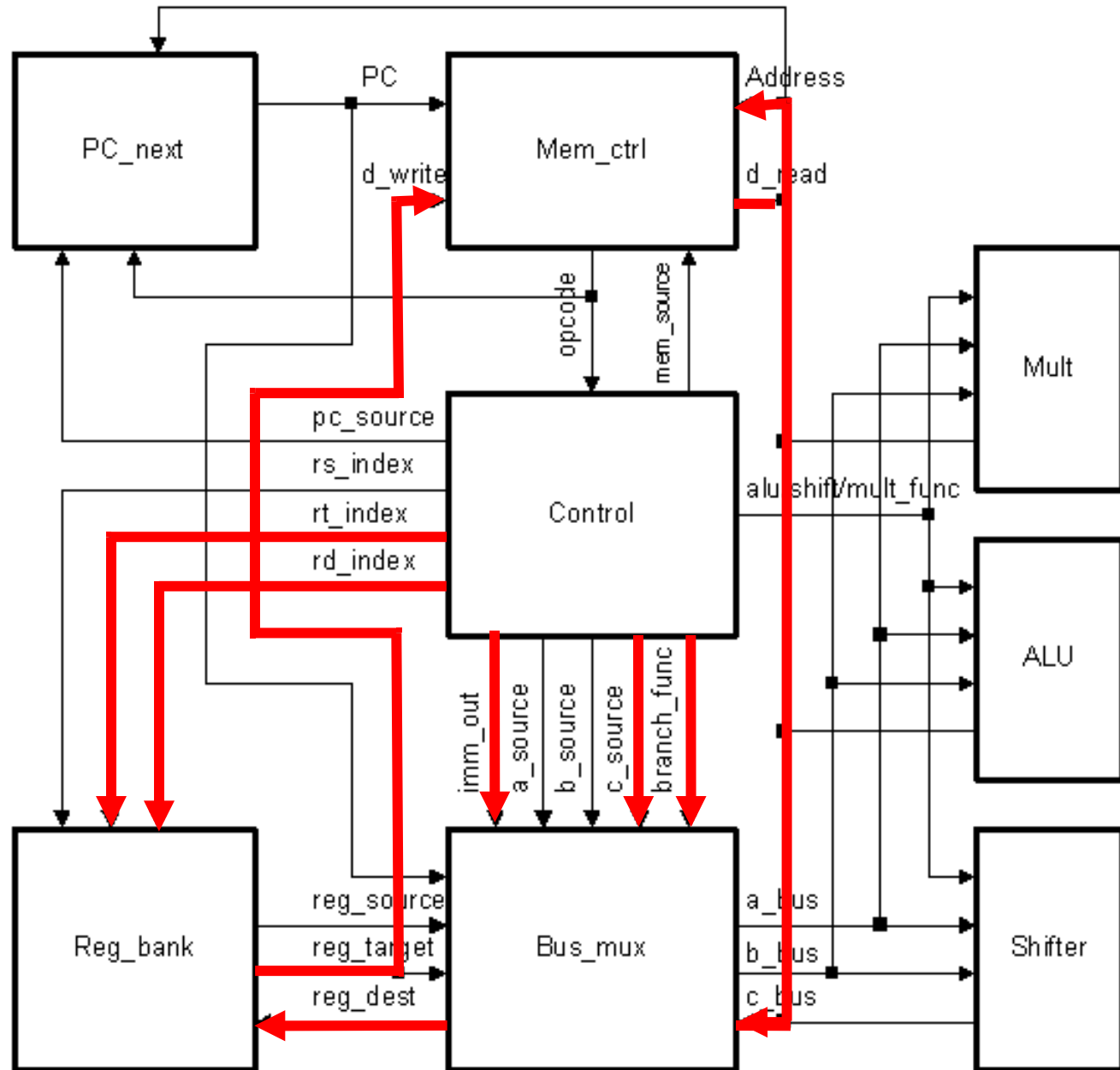
Core

- 4 Regs de Pipeline
- 4º Estágio: Ex



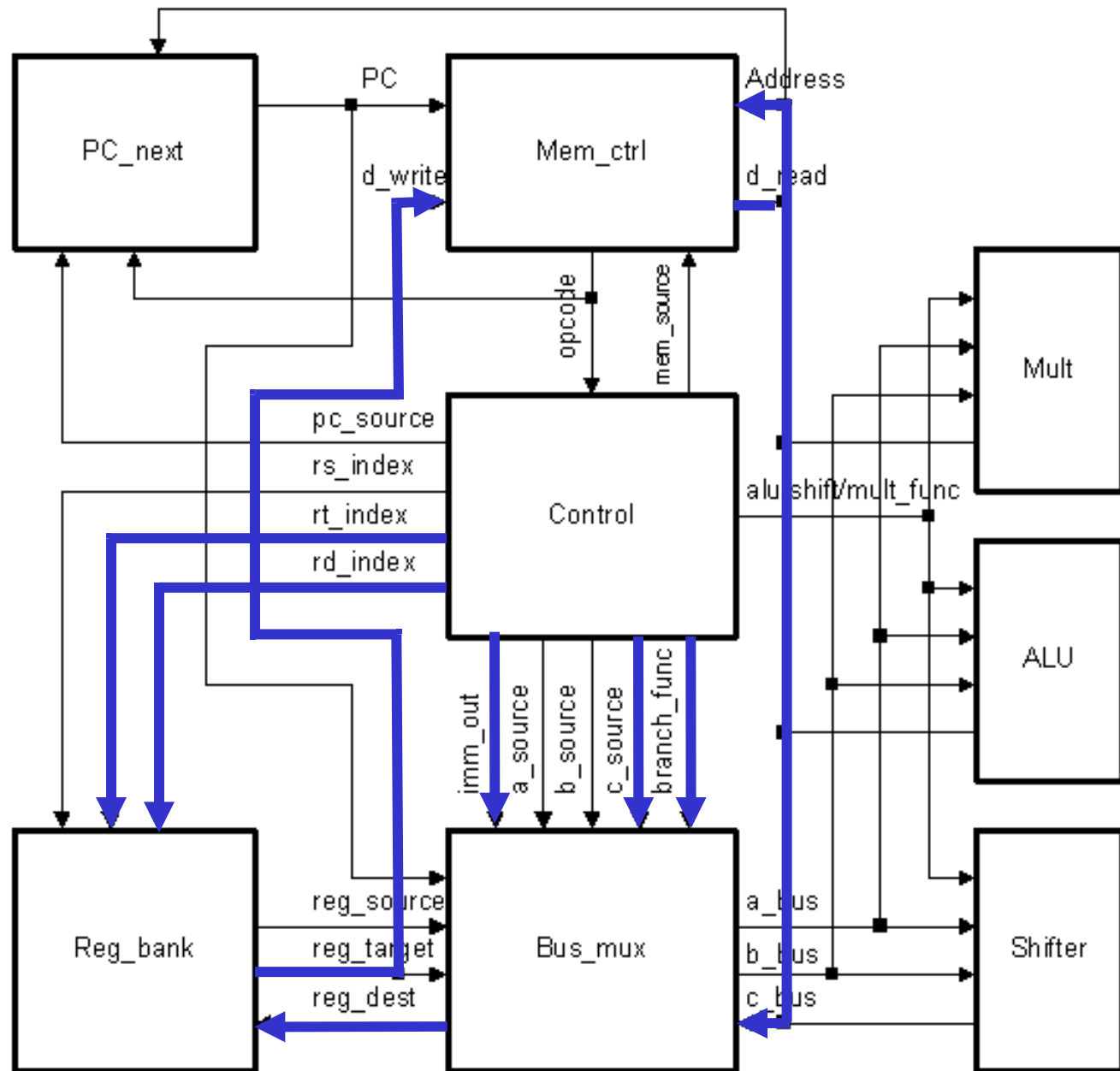
Core

- 3 Regs de Pipeline
- 4º Estágio: Mem



Core

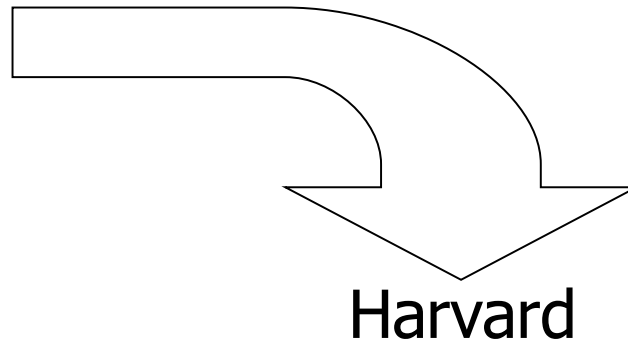
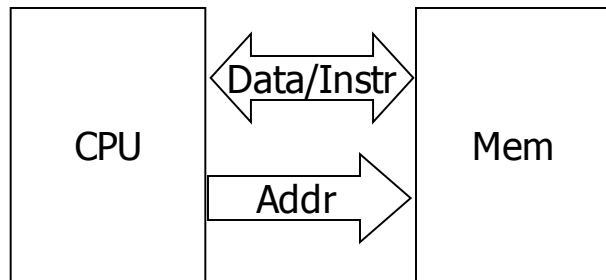
- 4 Regs de Pipeline
- 5º Estágio: Mem



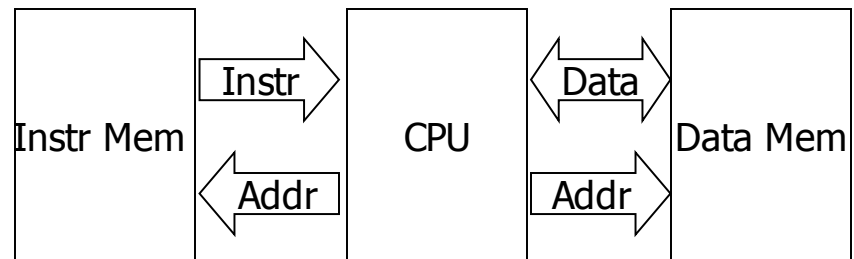
Proposta de Modificações

- **Modificação Principal:** Organização da Interface CPU-Memória:

Von Neumann

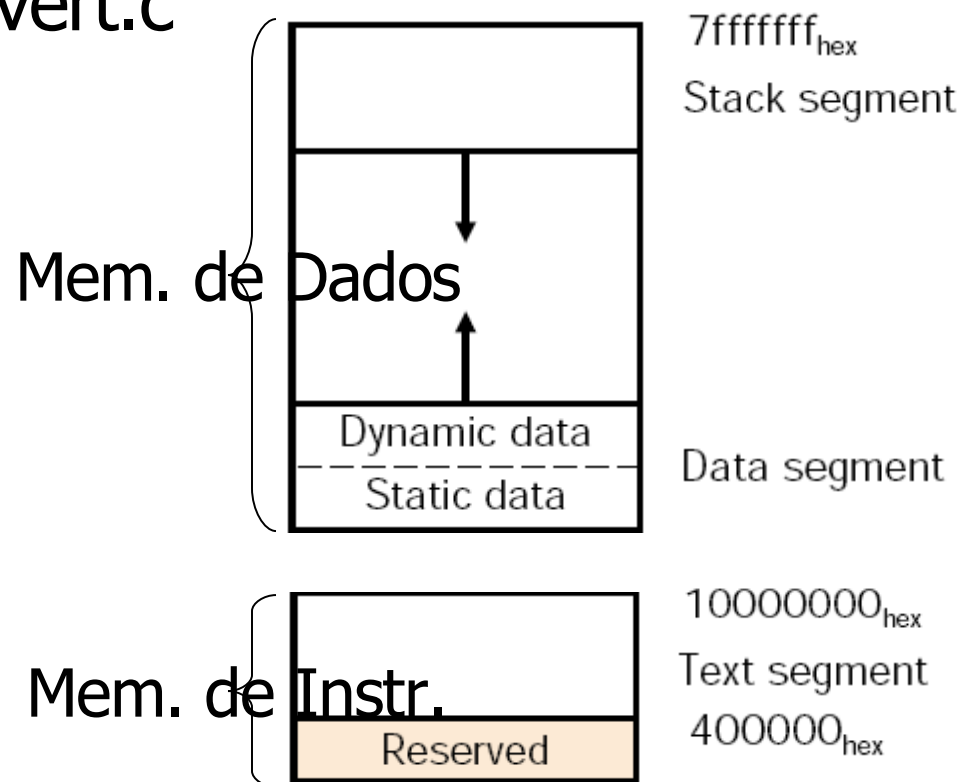


Harvard



Proposta de Modificações

- Também, adaptação do programa convert.c



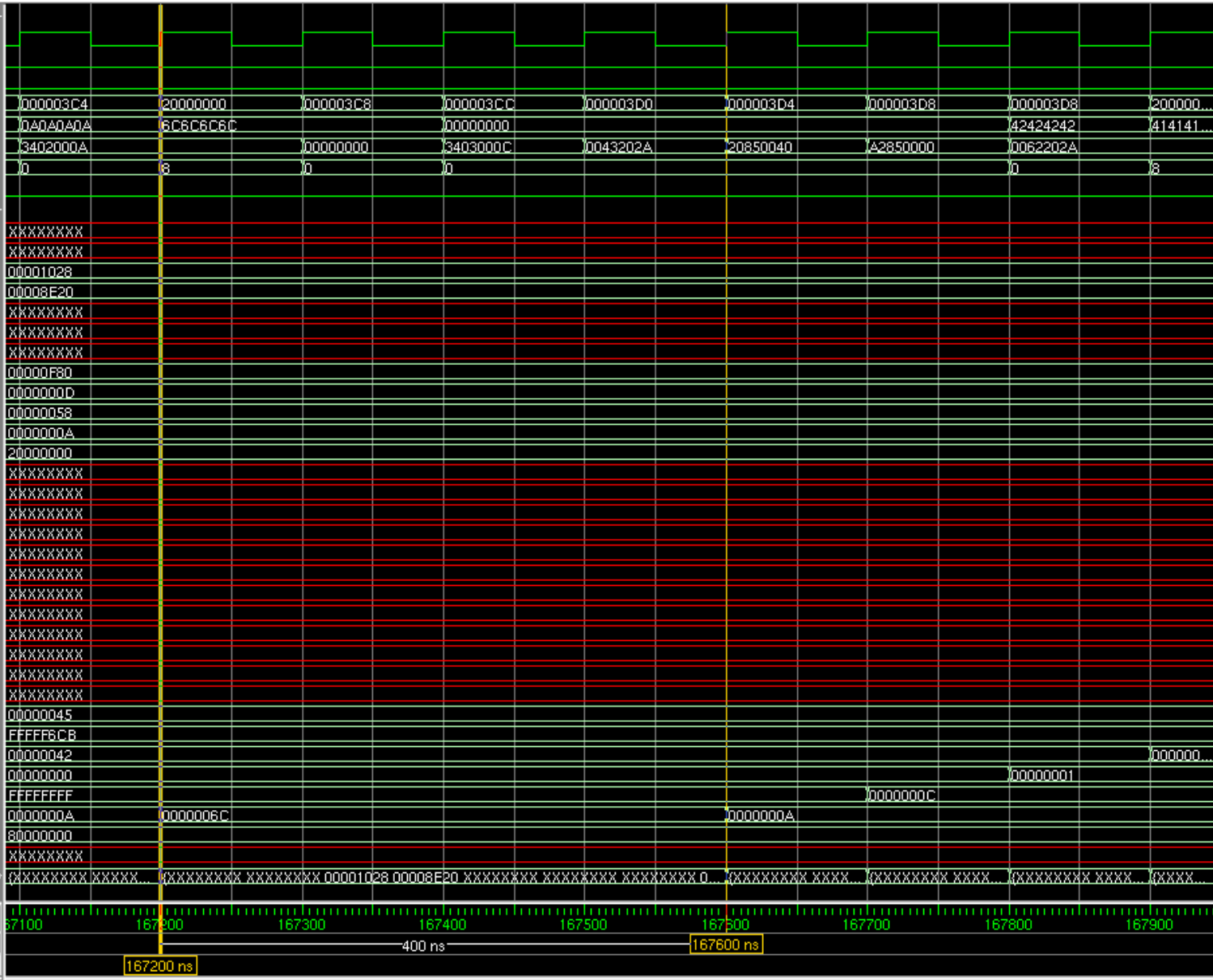


Proposta de Modificações

- Atraso de um ciclo em instruções de acesso a memória

Observe no próximo slide!

CPU Entity Ports	
clk	1
reset_in	0
intr_in	0
mem_address	20000000
mem_data_w	6C6C6C6C
mem_data_r	3402000A
mem_byte_we	8
mem_pause	0
Register Bank	
R31 - ra	XXXXXXXX
R30 - s8	XXXXXXXX
R29 - sp	00001028
R28 - gp	00008E20
R27 - k1	XXXXXXXX
R26 - k0	XXXXXXXX
R25 - t9	XXXXXXXX
R24 - t8	00000F80
R23 - s7	0000000D
R22 - s6	00000058
R21 - s5	0000000A
R20 - s4	20000000
R19 - s3	XXXXXXXX
R18 - s2	XXXXXXXX
R17 - s1	XXXXXXXX
R16 - s0	XXXXXXXX
R15 - t7	XXXXXXXX
R14 - t6	XXXXXXXX
R13 - t5	XXXXXXXX
R12 - t4	XXXXXXXX
R11 - t3	XXXXXXXX
R10 - t2	XXXXXXXX
R9 - t1	XXXXXXXX
R8 - t0	XXXXXXXX
R7 - a3	00000045
R6 - a2	FFFFFF6CB
R5 - a1	00000042
R4 - a0	00000000
R3 - v1	FFFFFFFF
R2 - v0	0000006C
R1 - at	80000000
R0 - r0	XXXXXXXX
tri_port_ram	{XXXXXXXX XX}



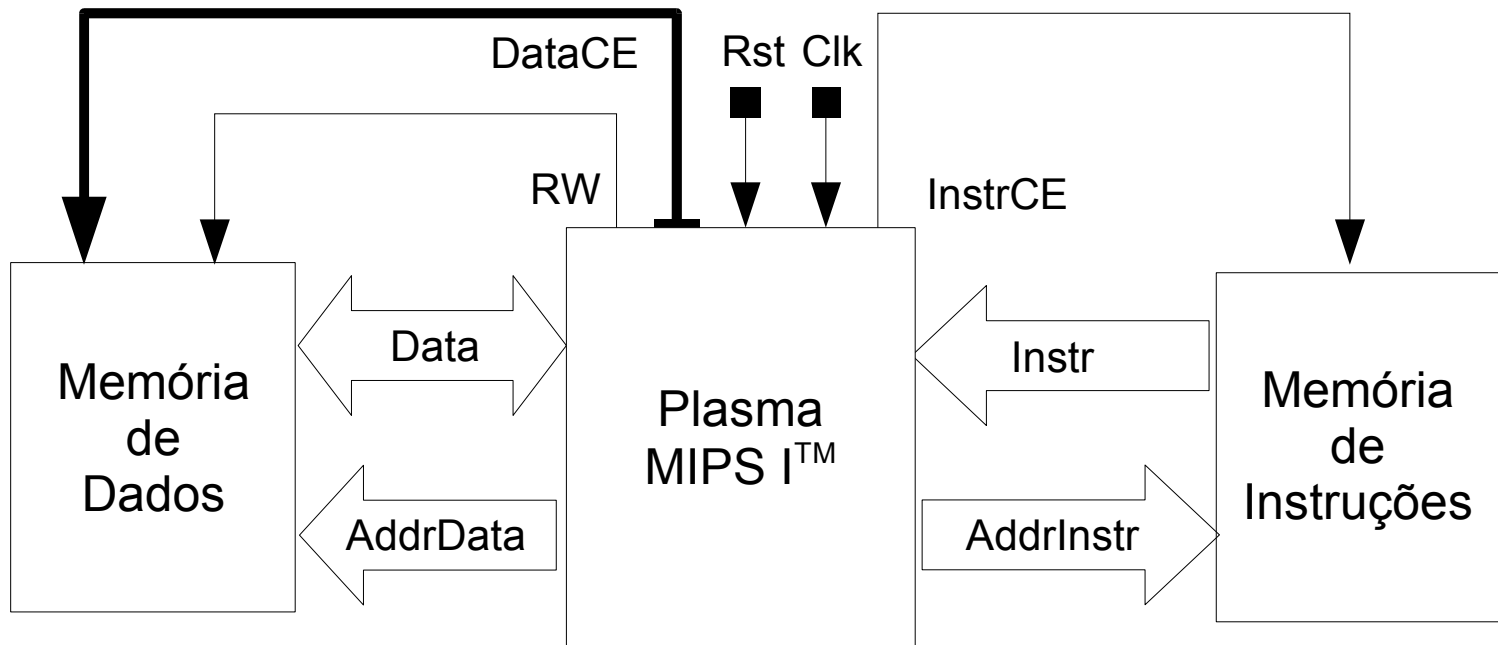


Objetivos

- Objetivos
 - Pipeline mais simples e eficiente
 - Maior flexibilidade em Projetos de NoCs
- Trabalhos Futuros
 - Implementar Exceções
 - Modificar a Arquitetura do Processador para incluir instruções do MIPS II™

Modificações Realizadas

- Detalhamento da Organização Harvard Implementada





Resultados Obtidos

- Aumento do CPI Médio em programas com um número considerável de acessos a memória

Programa	CPI Médio do Processador Original	CPI Médio do Novo Processador
EXE.asm	1,02	1,02
Comum.asm	2,57	2,27



Referencias

- [1] F. R. Wagner. "Arquitetura e Organização de Processadores". Material disponível em: <http://www.inf.ufrgs.br/~flavio/ensino/-cmp237/cmp237.htm>. Julho de 2006.
- [2] S. Rhoads. "Plasma CPU Core". Disponível em: <http://www.open-cores.org>. Julho de 2006.
- [3] MIPS Technologies, Inc. Documentação disponível em: <http://-www.mips.com>.
- [4] D. Patterson, J. Hennessy. "Organização e Projeto de Computadores: a Interface Hardware/Software". LTC, Rio de Janeiro 2000. Tradução da 2a. edição.
- [5] GAPH – Grupo de Apoio ao Projeto de Hardware. Página disponível em: <http://www.inf.pucrs.br/~gaph>.
- [6] GCC - GNU C Compiler. Documentação disponível em: www.gnu.org (linux); www.cygwin.org (windows).
- [7] SPIM. Disponível em: <http://www.cs.wisc.edu/~larus/spim.html>.
- [8] SPIM. Disponível em: <http://www.linux-mips.org>.