

INF01058

Circuitos Digitais

Transistor MOS
Portas CMOS

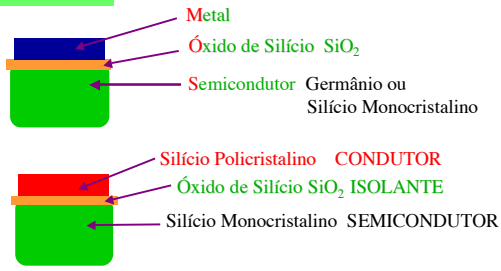
Aula 4



Circuitos Digitais

Transistor MOS

Estruturas MOS



Metal

Óxido de Silício SiO_2

Semicondutor Germânio ou Silício Monocristalino

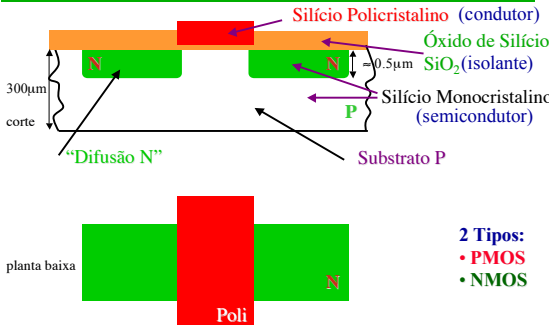
Silício Policristalino CONDUTOR

Óxido de Silício SiO_2 ISOLANTE

Silício Monocristalino SEMICONDUTOR

Circuitos Digitais

Transistor MOS



Silício Policristalino (condutor)

Óxido de Silício SiO_2 (isolante)

Silício Monocristalino (semicondutor)

Substrato P

300µm

0.5µm

"Difusão N"

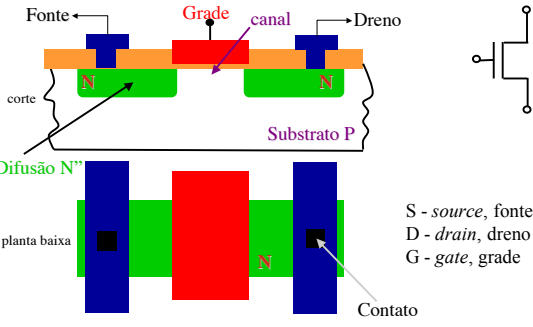
planta baixa

Poli

2 Tipos:
• PMOS
• NMOS

Circuitos Digitais

Transistor MOS



Fonte

Grade

canal

Dreno

Substrato P

"Difusão N"

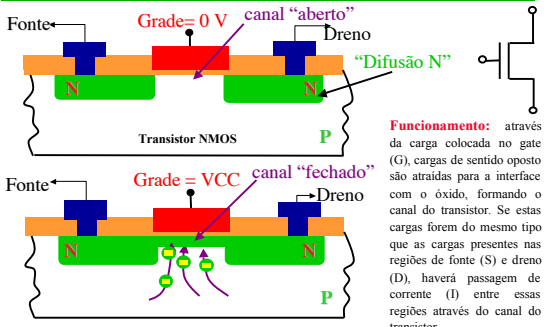
planta baixa

Contato

S - source, fonte
D - drain, dreno
G - gate, grade

Circuitos Digitais

Transistor MOS



Fonte

Grade = 0 V

canal "aberto"

Dreno

"Difusão N"

Transistor NMOS

Fonte

Grade = VCC

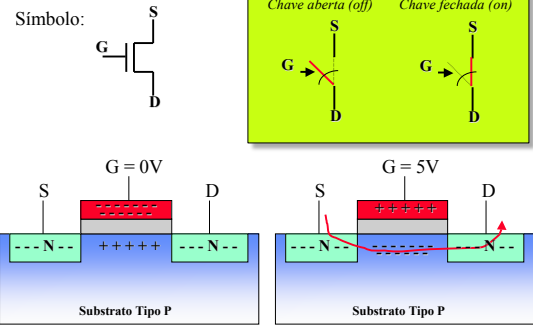
canal "fechado"

Dreno

Funcionamento: através da carga colocada no gate (G), cargas de sentido oposto são atraídas para a interface com o óxido, formando o canal do transistor. Se estas cargas forem do mesmo tipo que as cargas presentes nas regiões de fonte (S) e dreno (D), haverá passagem de corrente (I) entre essas regiões através do canal do transistor.

Circuitos Digitais

Transistor NMOS



Símbolo:

Se $G = 0V$ ("0")
Chave aberta (off)

Se $G = 5V$ ("1")
Chave fechada (on)

G = 0V

G = 5V

Substrato Tipo P

Substrato Tipo P

UFRGS .inf Instituto de Informática
Circuitos Digitais

Transistor PMOS

Símbolo:

Se $G = 5V$ ('1')
Chave aberta (off)

Se $G = 0V$ ('0')
Chave fechada (on)

$G = 5V$

Substrato Tipo N

$G = 0V$

Substrato Tipo N

UFRGS .inf Instituto de Informática
Circuitos Digitais

Portas Lógicas

Circuitos CMOS Estáticos

De Morgan: $\overline{A+B} = \overline{A} \cdot \overline{B}$

$\text{AND} = \text{NAND} + \text{INV}$

pull up

Somente PMOS

pull down

Somente NMOS

entradas: $E1, E2, E3$ Saída: $S = f(E1, E2, E3)$

- A lógica PMOS permite conectar o sinal de saída a Vcc (5V), '1' lógico.
- A lógica NMOS permite conectar o sinal de saída a Gnd (0V), '0' lógico.
- Sempre um dos caminhos, para Vcc ou Gnd, estão fechados para a saída, conectando a mesma a 5V ou 0V.

As redes PUP (pull up) e PDN (pull down) são duais nas suas topologias.

UFRGS .inf Instituto de Informática
Circuitos Digitais

Portas Lógicas

INVERSOR CMOS

$E \rightarrow S$

| E | S |
|---|---|
| 0 | 1 |
| 1 | 0 |

$E = 0V$
(E = '0')

$S = 5V$
(S = '1')

$E = 5V$
(E = '1')

$S = 0V$
(S = '0')

UFRGS .inf Instituto de Informática
Circuitos Digitais

Portas Lógicas

INVERSOR CMOS

- Equação: $S = \overline{E}$
- Esquema Lógico:
- Tabela Verdade:

| E | S |
|---|---|
| 0 | 1 |
| 1 | 0 |

- Esquema Elétrico CMOS

UFRGS .inf Instituto de Informática
Circuitos Digitais

Portas Lógicas

INVERSOR CMOS

VCC, Fonte massa, Substrato N, poço P, canal P, canal N, Difusão P, Difusão N

UFRGS .inf Instituto de Informática
Circuitos Digitais

LAYOUT DO INVERSOR CMOS

metal, contato, Vcc, Difusão P, Saída, Polissilício, Difusão N, Terra, $S = \overline{E}$

UFRGS .INF **Circuitos Digitais**

Portas Lógicas

Porta NAND CMOS

E1 E2 S

| E1 | E2 | S |
|----|----|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Dica: A SAÍDA É 0 SOMENTE QUANDO TODAS AS ENTRADAS FOREM 1, CASO CONTRÁRIO HAVERÁ 1 NA SAÍDA. CONTRÁRIO DA PORTA 'AND'.

UFRGS .INF **Circuitos Digitais**

Portas Lógicas

Porta NAND CMOS

- Esquema Elétrico:
- Equação Lógica:

$$S = \overline{A \cdot B}$$
- Esquema Lógico:

UFRGS .INF **Circuitos Digitais**

LAYOUT DA NAND CMOS

$S = \overline{E1 \cdot E2}$

UFRGS .INF **Circuitos Digitais**

Portas Lógicas

Porta NOR CMOS

Simbolo:

Equação Booleana: $S = \overline{E1 + E2}$
 $S = \overline{E1} \cdot \overline{E2} \cdot \dots \cdot \overline{En}$

Tabela Verdade:

| E1 | E2 | S |
|----|----|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

| E1 | E2 | ... En | S |
|----|----|--------|---|
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | ... | 0 |

Dica: A SAÍDA É 1 SOMENTE QUANDO TODAS AS ENTRADAS FOREM 0, CASO CONTRÁRIO HAVERÁ 0 NA SAÍDA. OU SEJA, 1 EM UMA DAS ENTRADAS JÁ GARANTE 0 NA SAÍDA. CONTRÁRIO DA PORTA OR.

UFRGS .INF **Circuitos Digitais**

Portas Lógicas

Porta NOR CMOS

- Equação:

$$S = A + B$$
- Esquema Lógico:
- Esquema Elétrico CMOS:

UFRGS .INF **Circuitos Digitais**

Portas Lógicas

Porta XOR (porta 'OU Exclusivo')

Simbolo:

Equação Booleana: $S = E1 \oplus E2$
 $S = E1 \oplus E2 \oplus \dots \oplus En$

Tabela Verdade:

| E1 | E2 | S |
|----|----|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

| E1 | E2 | ... En | S |
|----|----|--------|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | ... | 1 |

Dica: A SAÍDA É 1 SOMENTE QUANDO HOUVER UM NÚMERO IMPAR DE ENTRADAS COM VALOR 1.

Portas Lógicas

XNOR (porta 'Não OU Exclusivo')



Equação Booleana: $S = \overline{E1 \oplus E2}$
 $S = \overline{E1 \oplus E2 \oplus \dots \oplus En}$

Tabela Verdade:

| E1 | E2 | S | E1 | E2 | ... | En | S |
|----|----|---|----|----|-----|----|---|
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | ... | 1 | 0 |

Dica: A SAÍDA É 1 SOMENTE QUANDO HOUVER UM NÚMERO PAR DE ENTRADAS COM VALOR 1. CONTRÁRIO DA PORTA XNOR.