

INFO1058

# Circuitos Digitais

Alta Impedância  
Parasitas RC em Portas CMOS  
Célula RAM

UFRGS  
INF  
INSTITUTO DE INFORMÁTICA  
UFRGS

Aula 6

Circuitos Digitais

### Alta Impedância (Z)

#### Inversor Tri-State (INVTR)

| E | C | $\bar{C}$ | S |
|---|---|-----------|---|
| 0 | 0 | 1         | Z |
| 1 | 0 | 1         | Z |
| 0 | 1 | 0         | 1 |
| 1 | 1 | 0         | 0 |

Circuitos Digitais

### Outra opção... (controle negado)

| E | C | S |
|---|---|---|
| 0 | 0 | 1 |
| 1 | 0 | 0 |
| 0 | 1 | Z |
| 1 | 1 | Z |

ou

| C | S         |
|---|-----------|
| 0 | $\bar{E}$ |
| 1 | Z         |

### Buffer Tri-State (BUFTR)

| E | C | S |
|---|---|---|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | Z |
| 1 | 1 | Z |

ou

| C | S |
|---|---|
| 0 | E |
| 1 | Z |

**\* PODE-SE PENSAR EM QUALQUER PORTA LÓGICA COM SAÍDA TRI-STATE OU ALTA-IMPEDÂNCIA (Z) !!!**

Circuitos Digitais

### Uso de Porta Tri-State ...

**\* NÃO É PERMITIDO EM CMOS :**

**\* CORRETO :**

**\* BARRAMENTO DE SINAIS :**

| C1 | C2 | S  |
|----|----|----|
| 0  | 0  | E4 |
| 1  | 0  | E3 |
| 0  | 1  | E2 |
| 1  | 1  | E1 |

Circuitos Digitais

### Consumo (Dissipação de Potência)

- Corrente de Carga:  $I_{out}$
- Corrente de Curto-Circuito:  $I_{cc}$

- consumo estático  $\approx 0$
- consumo dinâmico (transição) =  $I_{out} + I_{cc}$
- consumo total = estático + dinâmico

**\* A variação de W e L afeta o tempo de transição dos sinais e o consumo da porta lógica.**

Circuitos Digitais

### Portas Lógicas (revisão ...)

**INV**  
 $E = \bar{S}$

**OR (NOR)**  
 $S = E1 + E2$

**AND (NAND)**  
 $S = E1 \cdot E2$

**XOR (XNOR)**  
 $S = E1 \oplus E2$

| E | INV |
|---|-----|
| 0 | 1   |
| 1 | 0   |

| E1 | E2 | AND | NAND | OR | NOR | XOR | XNOR |
|----|----|-----|------|----|-----|-----|------|
| 0  | 0  | 0   | 1    | 0  | 1   | 0   | 1    |
| 0  | 1  | 0   | 1    | 1  | 0   | 1   | 0    |
| 1  | 0  | 0   | 1    | 1  | 0   | 1   | 0    |
| 1  | 1  | 1   | 0    | 1  | 0   | 0   | 1    |

**UFRGS INF** Centro de Informática

Circuitos Digitais

**Transistores PMOS e NMOS (revisão ...)**

PMOS:

Se  $G = 5V$  ('1') Chave aberta (off)  $G=1$

Se  $G = 0V$  ('0') Chave fechada (on)  $G=0$

NMOS:

Se  $G = 0V$  ('0') Chave aberta (off)  $G=0$

Se  $G = 5V$  ('1') Chave fechada (on)  $G=1$

**UFRGS INF** Centro de Informática

Circuitos Digitais

**Porta Lógica CMOS (revisão)**

**UFRGS INF** Centro de Informática

Circuitos Digitais

**Resistência (R)**

$$R = \rho \cdot \frac{L}{W \cdot T}$$

Lei de Ohm:

$$R = V / I$$

**UFRGS INF** Centro de Informática

Circuitos Digitais

**Resistência de Canal do Transistor**

- Transistor não é 'chave ideal'.
- Canal do transistor  $\Rightarrow$  resistência
- Transistor conduzindo: resistência pequena ( $R \Rightarrow 0$ )
- Transistor 'cortado': resistência muito alta ( $R \Rightarrow \infty$ )

**UFRGS INF** Centro de Informática

Circuitos Digitais

**Inversor CMOS: (resistência parasita)**

$$C = dQ / dV$$

**UFRGS INF** Centro de Informática

Circuitos Digitais

**Capacitância (C)**

$$C = dQ / dV$$

**UFRGS INF** Instituto de Informática  
Circuitos Digitais

### Inversor CMOS : (capacitância parasita)

Diagram illustrating the parasitic capacitance in a CMOS inverter. It shows the physical structure of the MOSFET with gate length  $L$  and width  $W$ , and its equivalent circuit model with a resistor  $r$  and a capacitor  $C = \ln F$ . The output voltage is  $V(\tau = ?)$ .

**UFRGS INF** Instituto de Informática  
Circuitos Digitais

### Dimensionamento do Transistor MOS

Diagram illustrating the physical structure and schematic symbol of a MOS transistor. The physical structure shows the gate (G), source (S), and drain (D) regions. The schematic symbol shows the gate (G), source (S), and drain (D) terminals with width  $W$  and length  $L$ .

Análise de 'r' ('on') e C:

- $W \uparrow : r \downarrow$  e  $C \uparrow$
- $L \uparrow : r \uparrow$  e  $C \uparrow$

**UFRGS INF** Instituto de Informática  
Circuitos Digitais

### Célula de Memória RAM Estática

**Célula de Memória (1 bit)**

Diagram illustrating a 1-bit static RAM cell. It shows the internal structure with two cross-coupled inverters and the connection to the data bus (Dado) and word line ( $E_i$ ). A converter and reader circuit is shown below the core.

Memória de Leitura e Escrita

Dado Entrada / Saída

Seleção

Leitura/Escrita

BIT n

Converter e Circuito Leitor

Dado in /out

Barramento de dados: Dado e  $\overline{\text{Dado}}$   
Barramento de endereços:  $E_i$  (Seleção da Palavra)

**UFRGS INF** Instituto de Informática  
Circuitos Digitais

### Memória RAM

Célula de Memória RAM do Banco de Registradores do processador 8085 (NMOS)

Diagram illustrating the physical structure of a RAM cell array. The image shows the layout of the cells with overlaid circuit diagrams. A red arrow points to the word line (Seleção da Palavra) and a blue arrow points to the bit line (Dado). The power supply is labeled VCC and ground is labeled GND.

**UFRGS INF** Instituto de Informática  
Circuitos Digitais

### Memória RAM

Diagram illustrating the write operation in a RAM cell. It shows the internal structure with two cross-coupled inverters and the connection to the data bus (Dado) and word line ( $E_i$ ). A voltage difference  $\Delta V$  is shown between the data lines.

**Escrita:**

- 1- Coloca valor a ser escrito no barramento de dados.
- 2- Aciona endereço da palavra a ser escrita.
- 3- Valores existentes no barramento de dados são gravados na célula independentemente do valor existente anteriormente, devido a grande capacitância do barramento de dados.

**UFRGS INF** Instituto de Informática  
Circuitos Digitais

### Memória RAM

Diagram illustrating the read operation in a RAM cell. It shows the internal structure with two cross-coupled inverters and the connection to the data bus (Dado) and word line ( $E_i$ ). A pink box labeled "Pré-Carga" shows the data bus being pre-charged to "1".

**Pré-Carga**

Dado ← "1"

**Leitura:**

- 1- Carrega-se os barramento com o valor "1" (PRÉ-CARGA).
- 2- Aciona endereço da palavra a ser lida.
- 3- Valores existentes na célula memória são transferidos para o barramento, que se descarrega pelo "lado" que está em "zero".

# Memória RAM

## Layout de uma célula SRAM 6T CMOS

