

INF01058

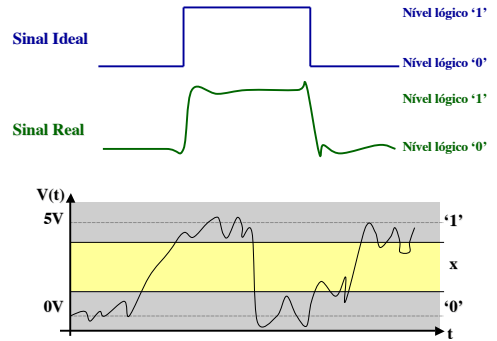
# Circuitos Digitais

Portas Lógicas CMOS:  
Aspectos Temporais e Elétricos

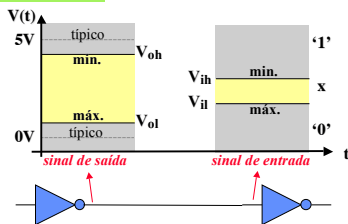


Aula 6

## Chaveamento

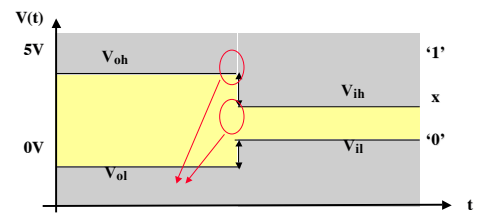


## Níveis de Tensão



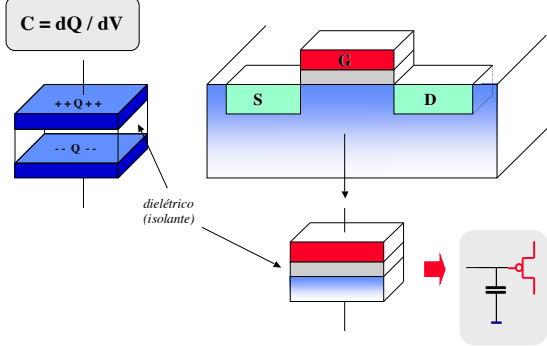
- $V_{ih}$  máx. - maior tensão de entrada aceitável como sendo nível lógico '0'
- $V_{ih}$  mín. - menor tensão de entrada aceitável para nível lógico '1'
- $V_{ol}$  típico - tensão normalmente gerada na saída da porta lógica para nível lógico '0'
- $V_{oh}$  típico - tensão normalmente gerada na saída da porta lógica para nível lógico '1'
- $V_{ol}$  máx. - maior tensão encontrada na saída da porta lógica para nível lógico '0'
- $V_{oh}$  mín. - menor tensão encontrada na saída da porta lógica para nível lógico '1'

## Margem de Ruído

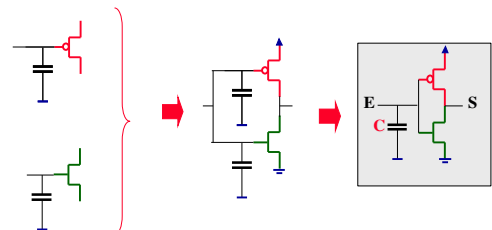


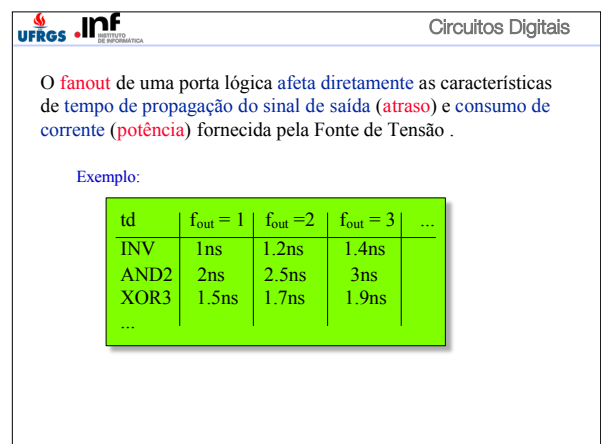
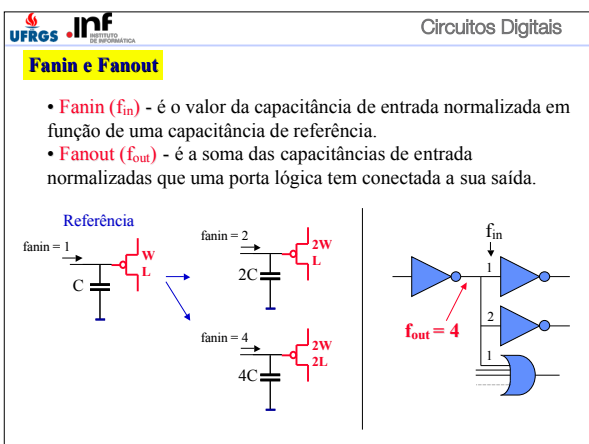
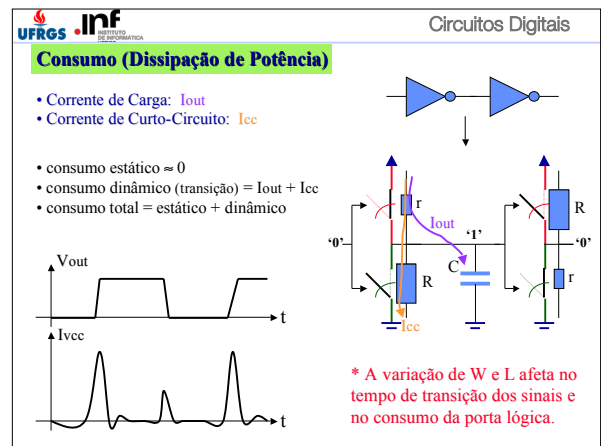
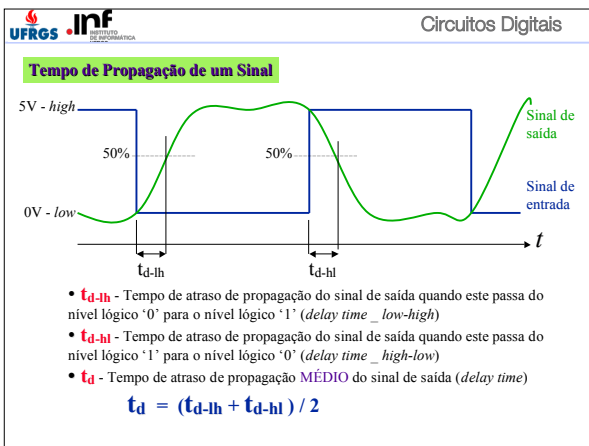
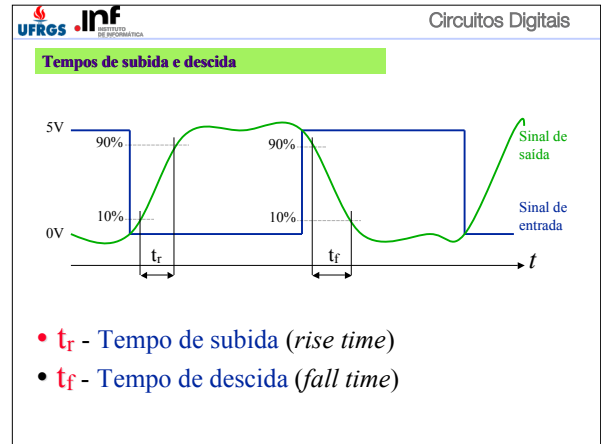
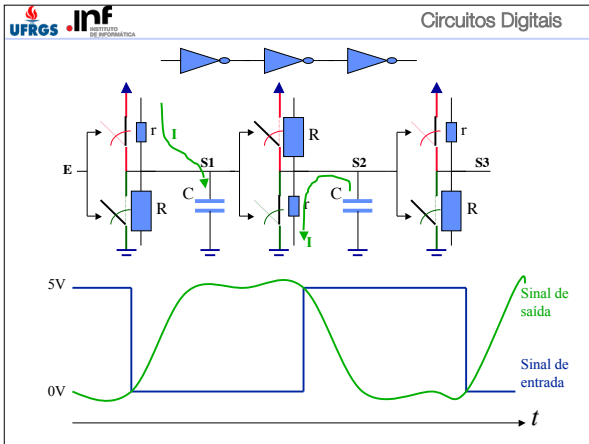
\* O menor valor dessas diferenças é que define a **Margem de Ruído** !!!

## Características Temporais (timing)



## Capacitância de 'Gate'

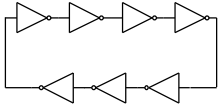




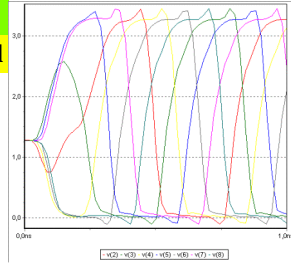
## Estudo de caso INVERSORES em Anel

O que é?

**N inversores em anel.**



- ▀ Variação contínua 0-> 1 --> 0-> em cada nó se N é ímpar.
- ▀ Conhecido como "oscilação" ou "corrida" se N é ímpar
- ▀ Latch bi-estável de N é par.

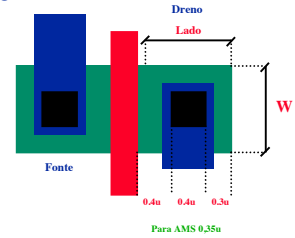


**Resultado de Simulação Elétrica com Simulador SPICE para N = 7.**

## Capacitâncias/Resistências em um Transistor

W (largura) do transistor (Exemplo 1  $\mu\text{m}$ )

L (comprimento) do transistor (Exemplo 0,3  $\mu\text{m}$ )



AD=1.1P PD=3.2U AS=1.1P PS=3.2U

AD=1.1P PD=3.2U AS=1.1P PS=3.2U

Área = W \* Lado

Perímetro = 1\*W + 2\*Lado