

UFRGS - Instituto de Informática - Circuitos Digitais - Marcelo Johann - 2021/2 - Cronograma ERE - Inicial

Data	Aula	Conteúdo	Modalidade	Relatórios
17/Jan	aula 01	Apresentação da disciplina e Introdução	synch 10:30h	
19/Jan	aula 02	Evolução, transistor MOS, portas e famílias lógicas		
24/Jan	aula 03 - lab01	Entrada de Esquemático e simulação Lógica para FPGA	synch 10:30h	quarta até 12h
26/Jan	aula 04	Aspectos temporais de portas lógicas, funções booleanas		
31/Jan	aula 05 - LE1	Uso de Protoboard e Instrumentos de Laboratório	synch 10:30h	
02/Fev	aula 06	Propriedades booleanas, mintermos e maxtermos		
07/Fev	Intervalo	Férias do Professor		
09/Fev	Intervalo	Férias do Professor		
14/Fev	aula 07 - lab02	Projeto de Multiplexador e Decodificador	synch 10:30h	quarta até 12h
16/Fev	aula 08	Minimização de funções booleanas - Mapas de Karnaugh		
21/Fev	aula 09 - lab03	Conversor para display de 7 segmentos	synch 10:30h	quarta até 12h
23/Fev	aula 10	Minimização de funções booleanas - Algoritmo de Quine McKluskey		
28/Fev	Não-letivo	Véspera de Carnaval		
02/Mar	Não-letivo	Quarta-feira de Cinzas		
07/Mar	aula 11 - LE2	Simulação Elétrica		
09/Mar	aula 12	Blocos Aritméticos, somador/subtrator, multiplicadores		
14/Mar	aula 13 - lab04	Projeto de Somadores	synch 10:30h	quarta até 12h
16/Mar	aula 14	Memórias ROM, RAM, blocos programáveis, FPGAs		
21/Mar	aula 15 - lab05	Projeto de um Multiplicador	synch 10:30h	quarta até 12h
23/Mar	aula 16	Prova P1 - assíncrona, envio por e-mail com prazo para resolução		
28/Mar	aula 17 - lab06	Projeto da ULA do Neander - SEMAC	synch 10:30h	quarta até 12h
30/Mar	aula 18	Latches e Flip-flops - SEMAC		
04/Abr	aula 19 - lab07	Projeto de Contadores Assíncrono e Síncrono	synch 10:30h	quarta até 12h
06/Abr	aula 20	Registradores e Contadores		
11/Abr	aula 21 - lab08	Projeto de Registradores e Parte Operativa do Neander	synch 10:30h	quarta até 12h
13/Abr	aula 22	Circuitos Sequenciais, Mealey vs Moore, Síntese com FFD		
18/Abr	aula 23 - lab09	Máquina de controle para Neander	synch 10:30h	quarta até 12h
20/Abr	aula 24	Descrição de Circuitos em VHDL		
25/Abr	aula 25 - lab10	Integração do Neander, incluindo memória	synch 10:30h	quarta até 12h
27/Abr	aula 26	Síntese de FSM com FFs do tipo JK	Síntese de	
02/Mai	aula 27	Revisão, Exercícios, Acompanhamento	synch 10:30h	
04/Mai	aula 28	Prova P2 - assíncrona, envio por e-mail com prazo para resolução		
09/Mai	aula 29	Acompanhamento do projeto final		
11/Mai	aula 30	Apresentação do Projeto Final	synch 10:30h	até 17/Maio
16/Mai	intervalo	Tempo de estudo para recuperação		
18/Mai	Recuperação	Prova de Recuperação		
19/Mai	Fim	Apropriação dos Conceitos		