

## PLANO DE ENSINO

**INF01118**

### **Técnicas Digitais para Computação**

Semestre: 2009/2

**Carga horária: 90 h**

**Créditos: 06**

**Professor(es): André Inácio Reis (parte teórica) e Fernando Rosa Nascimento (parte prática (laboratório))**

#### **Súmula:**

Revisão de aritmética binária inteira e real. Famílias lógicas - construção e características elétricas. Álgebra e funções booleanas. Máquinas combinacionais: análise e síntese; blocos operadores principais; arranjos lógicos programáveis (ROM, PAL, PLA); métodos de implementação e otimização. Máquinas sequenciais: flip-flops, registradores; organização de RAM's; análise e síntese de FSM; contadores. Máquinas sequenciais complexas: alternativas de implementação.

#### **Conteúdo Programático:**

##### 1. Introdução (2h teóricas)

1.1 Sistemas e computadores digitais. Evolução do hardware e integração (SSI, MSI, VLSI, ULSI) em circuitos integrados digitais.

1.2 Revisão de funções lógicas e formas de representação (tabela verdade, equação, símbolo, formas de onda, BDD,...)

1.3 Posicionamento da disciplina dentro do currículo.

##### 2. Eletrônica digital básica (14h teóricas, 12h práticas)

2.1 Conceitos básicos de circuitos elétricos. Grandezas elétricas. Fontes. Análise I-V. Parâmetros R, L e C. Circuitos RC. Resposta no domínio tempo.

2.2 Construção elétrica de portas lógicas básicas em tecnologia CMOS. Lógica de chaves. Transistores como chaves.

2.3 Níveis de tensão, fan-in e fan-out, desempenho, potência, evolução.

##### 3. Álgebra e Funções Booleanas. Portas Lógicas (10h teóricas, 4h práticas)

3.1 Álgebra booleana. Operações lógicas e implementação de operadores com portas.

3.2 Funções booleanas. Relações de De Morgan. Tabelas-verdade. Análise. Formas canônicas de funções: SDP, PDS, mintermos e maxtermos. Álgebra de funções.

3.3 Minimização de operações. Mapas de Karnaugh. Implicantes primos.

3.4 Síntese de funções via portas NAND e NOR. Lógica bi- e multi-nível.

3.5 Técnica de análise de blocos combinacionais.

##### 4. Máquinas Combinacionais (8h teóricas, 6h práticas)

4.1 Blocos lógicos operadores: Somadores completos. Somadores tipo "ripple" e vai-um antecipado. Subtratores. Comparadores. Unidades multifuncionais (ULA).

4.2 Funções operativas: decodificadores, codificadores e multiplexadores. Implementação de lógica com MUX.

4.3 Memórias ROM. Tipos de decodificadores. Endereçamento e associação.

4.4 Lógica programável. Implementação de funções via ROM. Arranjos PAL, PLA e FPGA. Aplicações.

## PLANO DE ENSINO

5. Máquinas Sequenciais (20h teóricas, 8h práticas)

5.1 Introdução. Estado. Dimensão tempo / memória / sincronização. Máquinas síncronas e assíncronas. Exemplos.

5.2 Latches e flip-Flops S-R, J-K, T, D. Flip-flops mestre-escravo e sensíveis à borda.

5.3 Análise de circuitos lógicos sequenciais. Representação por FSM.

5.4 Síntese de FSM. Tabelas de Excitação. Equações de Estado.

5.5 Elementos de memória. Registradores. RAM. Registradores deslocadores.

5.6 Contadores síncronos.

5.7 Operações seriais. Conversão serial/paralela.

Total de horas/aula previstas: 54 horas/aula teóricas e 30 horas/aula práticas

Horas/aula disponíveis para avaliação: 6 horas/aula

### Procedimento Didático:

A disciplina será desenvolvida através de aulas expositivas e experimentos práticos em laboratório. Ao longo da disciplina serão distribuídas listas de exercícios, sem entrega obrigatória. Os experimentos práticos serão documentados e avaliados através de relatórios, assim como resultados obtidos e participação no laboratório.

### Método de Avaliação:

A Avaliação Final será feita por média harmônica, das partes teórica e prática:

$$MF = 1 / (0,66/NT + 0,33/NP), \text{ onde}$$

- NT é o conceito final da parte teórica
- NP é o conceito final da parte prática

A Nota das Aulas Práticas (NP) são baseadas exclusivamente em função das avaliações dos relatórios produzidos ao longo do semestre.

### Avaliação da Parte Teórica

A nota final da parte teórica (NT) por sua vez corresponde a média harmônica de três avaliações (P1 – P3):

$$NT = 3 / (1/P1 + 1/P2 + 1/P3 )$$

Havendo necessidade ou por interesse do aluno, a nota teórica (NT) poderá ser substituída pela nota da Avaliação de Recuperação, que incluirá todo o conteúdo da disciplina.

O conceito final obedece aos seguintes critérios:

- A [9,2; 10,0]; B [7,7; 8,8]; C[6,0; 7,3]; D[0,0; 6,0) e FF (<75% de frequência) e
- O conceito final para as médias não cobertas acima será definido segundo critérios de participação nas aulas teóricas e práticas, frequência, e avaliações individuais.

Para fins de aprovação com conceito C, será feita a média aritmética das notas teóricas  $NT = (P1 + P2 + P3) / 3$ ; será considerado aprovado com C o aluno que obtiver  $NT \geq 6$  e  $NP \geq 6$ .

## PLANO DE ENSINO

### - Avaliação da Parte Prática

São 15 aulas práticas, sendo que 13 aulas podem gerar relatórios (a primeira e a última aula não geram relatórios). Os relatórios são feitos pelos alunos à partir dos dados coletados em aula prática e das demais tarefas solicitadas. A nota das aulas prática será calculada pela média aritmética dos 10 melhores relatórios. No entanto as aulas estão divididas em três módulos: um correspondente à eletricidade, transistores e portas lógicas; um correspondente a lógica combinacional e outro referente a lógica sequencial. Em cada uma das partes, até um relatório poderá ser descartado (o que tiver menor nota), sendo considerado os restantes para efeito de notas.

Nas aulas praticas os alunos enviam ao fim de cada aula, por e-mail ao professor, todos os arquivos elaborados durante a aula. Assim o trabalho feito em aula será avaliado e fará parte da nota (20% da nota). O relatório impresso entregue corresponde ao restante da nota (80% da nota).

Obs. 1: Os relatórios deverão ser entregues sempre na próxima aula pratica. Relatórios com atraso após esta data serão desconsiderados. Os relatórios já corrigidos são devolvidos na aula posterior.

Obs. 2 : Os relatórios só são considerados para os alunos que efetivamente participaram da aula pratica, efetuando todas as tarefas solicitadas. Ao final da aula cada aluno/dupla deve conversar com o professor sobre as tarefas efetuadas.

### **Bibliografia Básica:**

Wagner, F.R., Reis, A.I. e Ribas, R.P. Fundamentos de Circuitos Digitais. Série Livros Didáticos, 17, Instituto de Informática, UFRGS, Editora Bookman, 2008.

### **Bibliografia Complementar:**

- Ercegovac, M., Lang, T. e Moreno, J.H. Introdução aos Sistemas Digitais. Bookman, 2000.
- Katz, R. Contemporary logic Design. Benjamin/Cummings. 1994.
- Mano, M. Computer engineering: hardware design. Prentice-Hall, 1988.
- Wakerly, J. Digital Design: principles and practices. Prentice-Hall, 1990.
- Rabaey, J. M. Digital Integrated Circuits: a Design Perspective. Prentice Hall, 1996.
- Gajski, D. Principles of Digital Design. Prentice-Hall, 1997
- Hayes, J. Digital System design and microprocessors. McGraw Hill, 1984.
- Tokheim, R. Princípios digitais. McGraw Hill, 1983.
- Bartkoeiak, R.A. Circuitos Elétricos
- Gussow, M. Eletricidade Básica
- O'Malley, J. Análise de Circuitos

## PLANO DE ENSINO

### Cronograma por aula: (parte teórica)

aula	Dia	Conteúdo
1		Introdução: Sistema Digital x Analógico, revisão de funções lógicas e formas de representação (equação lógica, tabela verdade, formas de onda)
2		Revisão de grandezas elétricas. Fontes DC. Circuitos elétricos em modo DC. Leis de Kirchoff (KCL,KVL). Equivalência de resistores e capacitores.
3		Revisão do comportamento de circuitos elétricos em modo AC, fontes AC
4		Tecnologia MOS. Transistor (chave MOS) e portas lógicas CMOS
5		Portas complexas, transmission gates, tri-state (alta impedância)
6		Parasitas RC em portas CMOS, Atrasos, tempos de subida e descida, fanin e fanout, consumo de portas CMOS
7		Famílias lógicas TTL e CMOS, datasheets: ttl74ls00, ttl74ls04, ttl74ls86
8		Funções Booleanas, teoremas, relações, De Morgan
9		Mintermos e Maxtermos, SDP-Soma-de-Produtos e PDS-Produto-de-Somas
10		Lógica NAND, NOR
11		Primeira avaliação (P1)
12		Mapa de Karnaugh de 2 a 8 variáveis
13		Método de Quine-McCluskey, exercícios com o software Karma
14		Somadores, subtratores
15		Unidade Aritmética e Lógica, Multiplicadores
16		Multiplexadores(MUX), DEMUX
17		Codificadores, Decodificadores
18		Lógica booleana usando multiplexadores
19		Lógica programável, FPGAs e EPLD
20		Segunda avaliação (P2)
21		Introdução a máquinas sequenciais, memória, latches e flip-flops, célula RAM
22		Implementação de latches e temporização
23		Implementação de flip-flops e temporização
24		Divisor de frequência, Contadores, Registradores
25		Análise de circuitos seqüenciais Mealy e Moore
26		Síntese de FSM com FFD
27		Síntese de FSM com FFJK
28		Exercícios de Síntese de FSM - FFD
29		Exercícios de Síntese de FSM - FFJK
30		Terceira avaliação (P3)
-		RECUPERAÇÃO

### Cronograma por aula: (parte prática)

O cronograma de laboratórios pode ser encontrado no seguinte link:

[http://www.inf.ufrgs.br/~fernando/Ensino/118\\_pdfs/20092\\_118\\_crTPs.html](http://www.inf.ufrgs.br/~fernando/Ensino/118_pdfs/20092_118_crTPs.html)