

“Avaliação de um Chip Multiprocessado com Redes em Chip Implementado em FPGA”

Marco A. Z. Alves
Philippe O. A. Navaux
Fernanda L. Kastensmidt

Índice ::

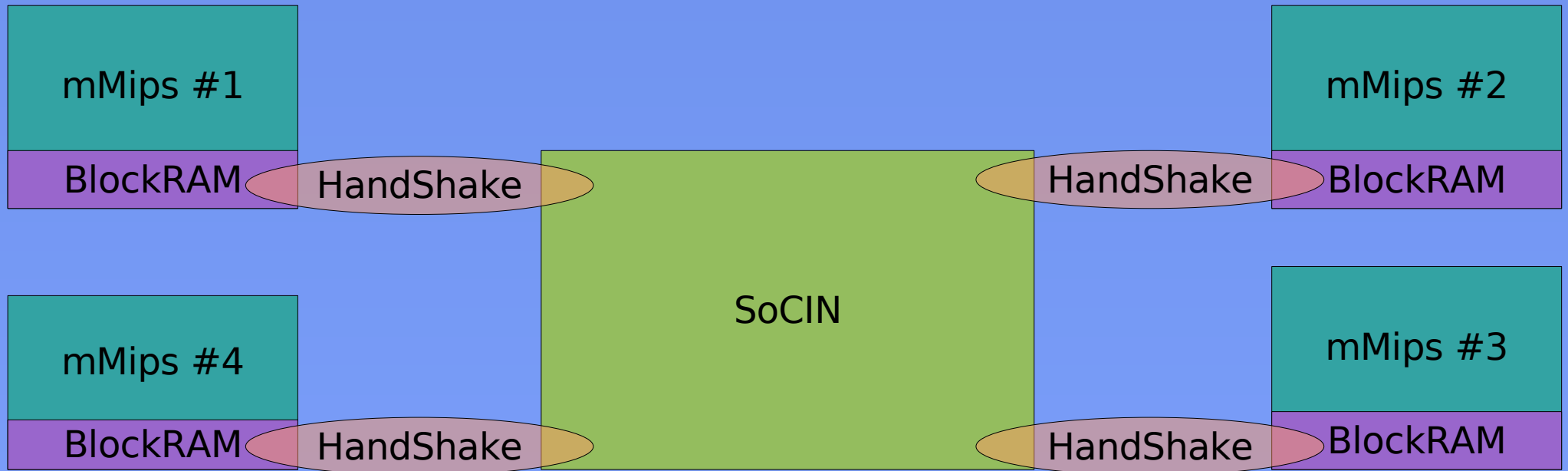
- Importância da Proposta
- Proposta
- Metodologia
- Resultados Comparativos
- Trabalhos Futuros
- Referências

Importância da proposta ::

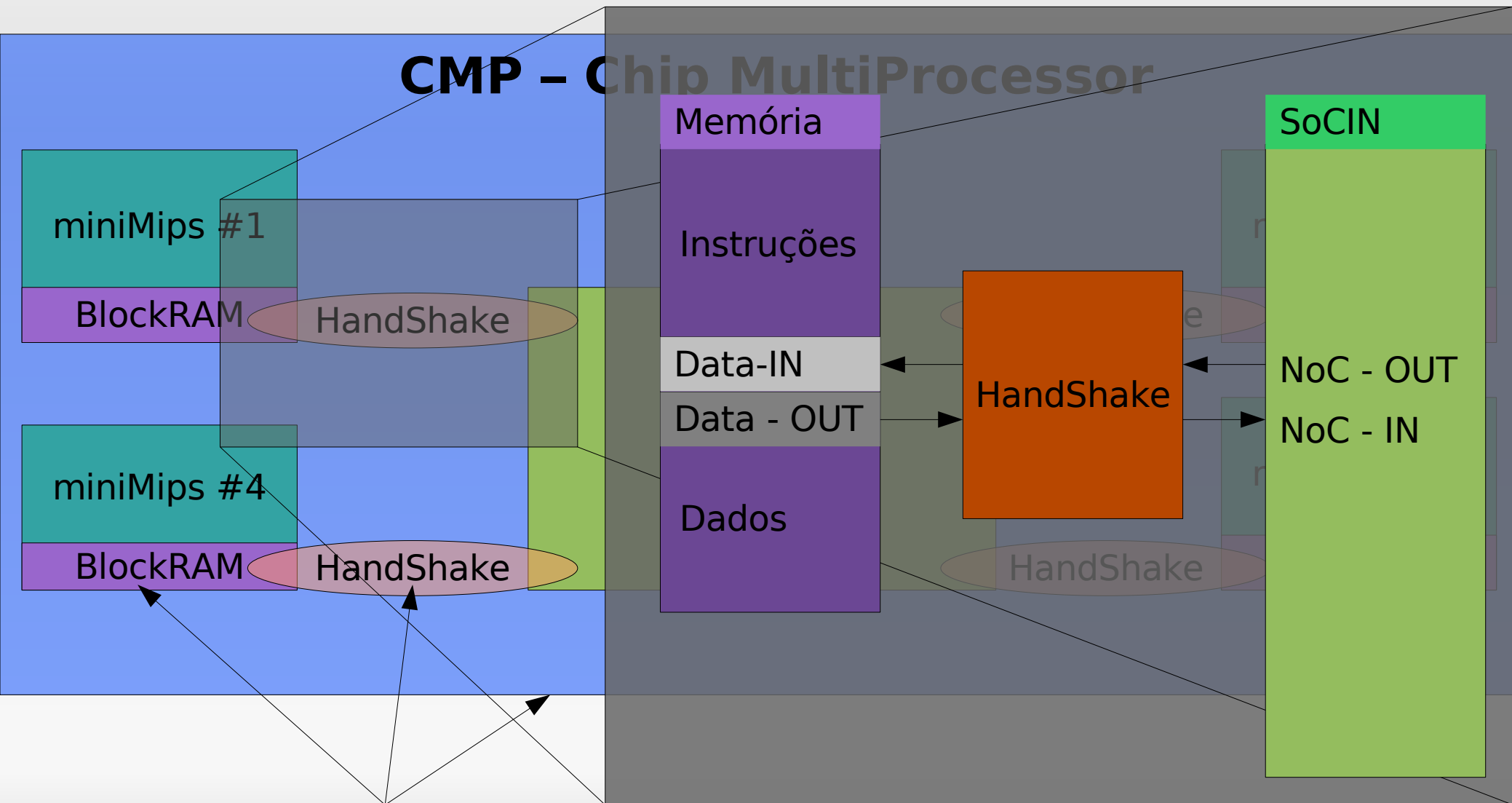
- CMP (Chip Multiprocessor)
 - Chips com Bilhões de Transistores
 - Consumo de Potência
 - Área
- NoC (Network-on-Chip)
 - Demanda por interconexões
 - Escalabilidade / Velocidade / Reusabilidade
 - Chips Heterogêneos/Homogêneos
- Continuidade do Trabalho (H. C. Freitas, 2007)

Proposta ::

CMP - Chip MultiProcessor



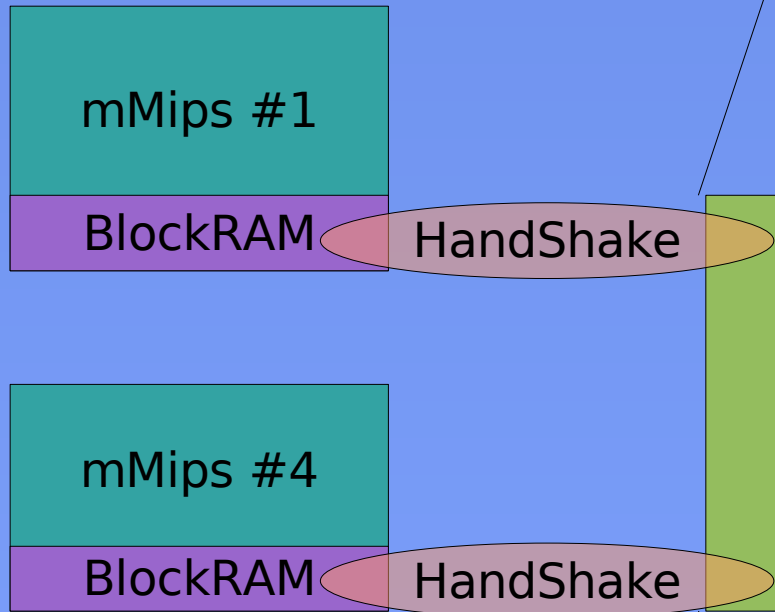
Proposta ::



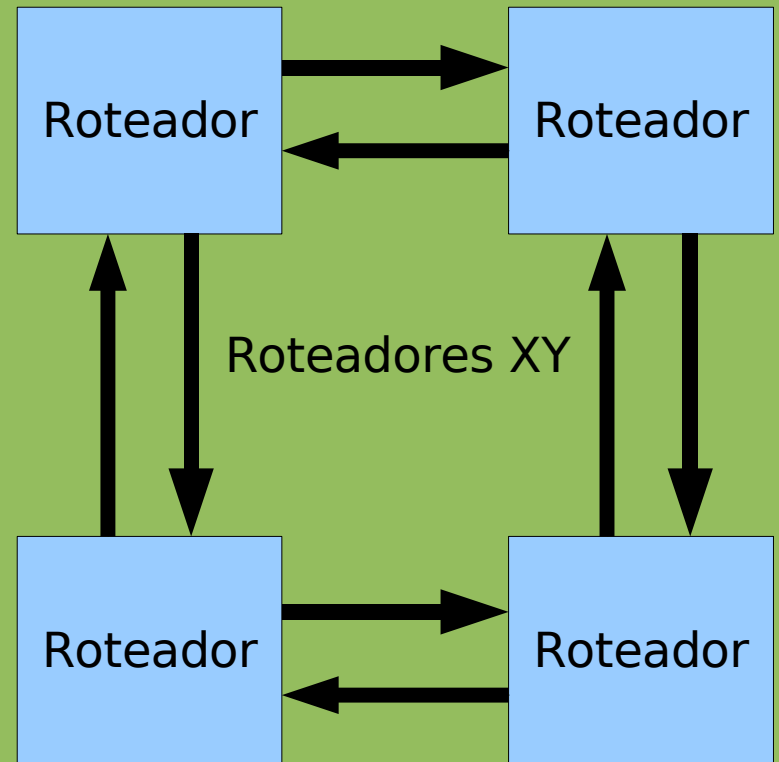
Implementados

Proposta ::

CMP - Chip Multi-Processor



SoCIN 2x2



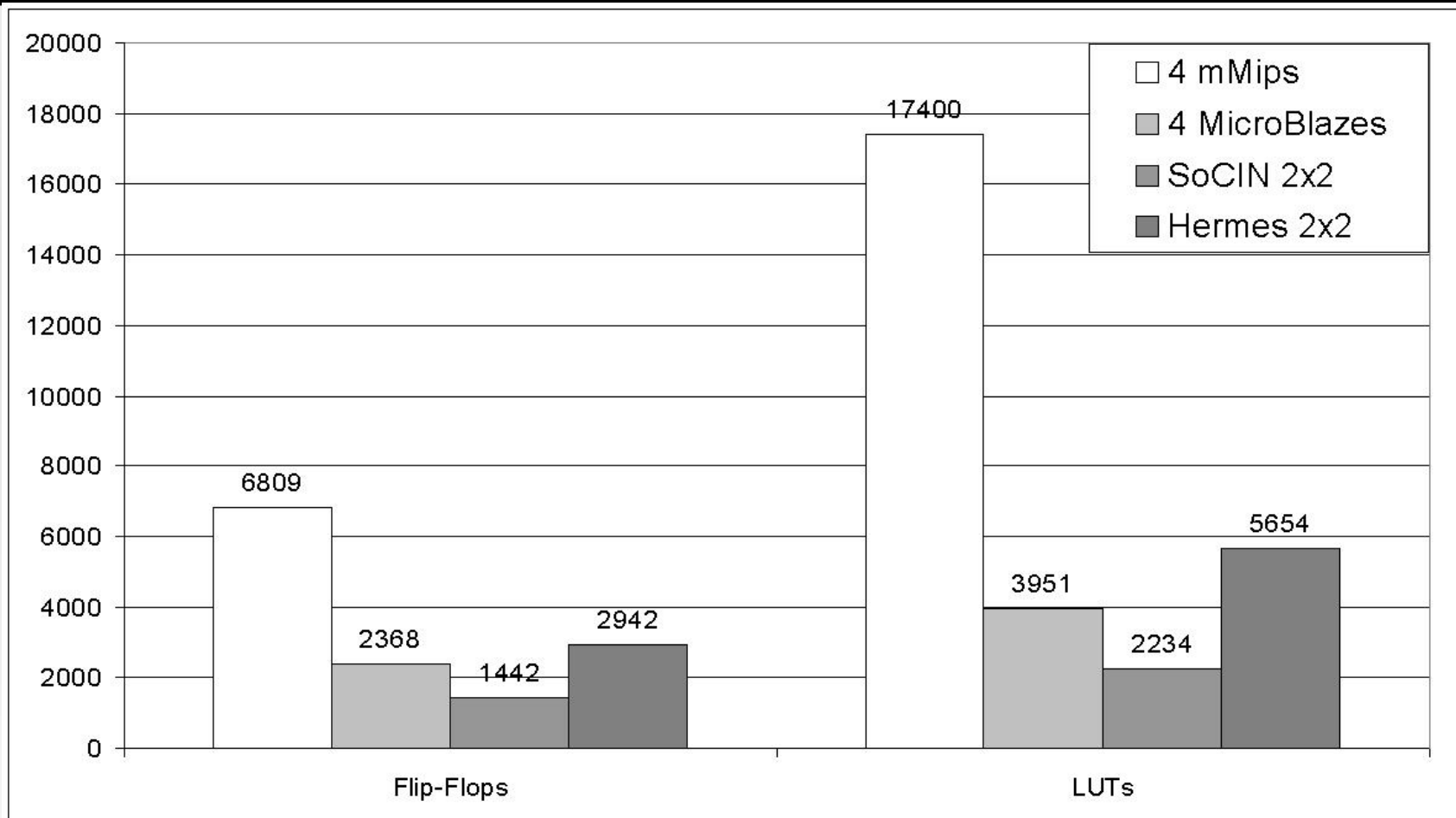
Metodologia :: Implementação em FPGA/VHDL

- mMips
 - Encapsulamento de 4 mMips com BRAM
 - Barramento tri-state -> Porta In / Out
 - Integração com BlockRam (Dual Port)
- SoCIN 2x2
 - Estudo do protocolo
- HandShake
 - Ligar NoC com a SoCIN
 - Protótipo

Metodologia :: Comparativos

- mMips x MicroBlazes (IP)
 - Proposta (H. C. Freitas, 2007)
- SoCIN x Hermes (PUC-RS)
 - NoC características semelhantes

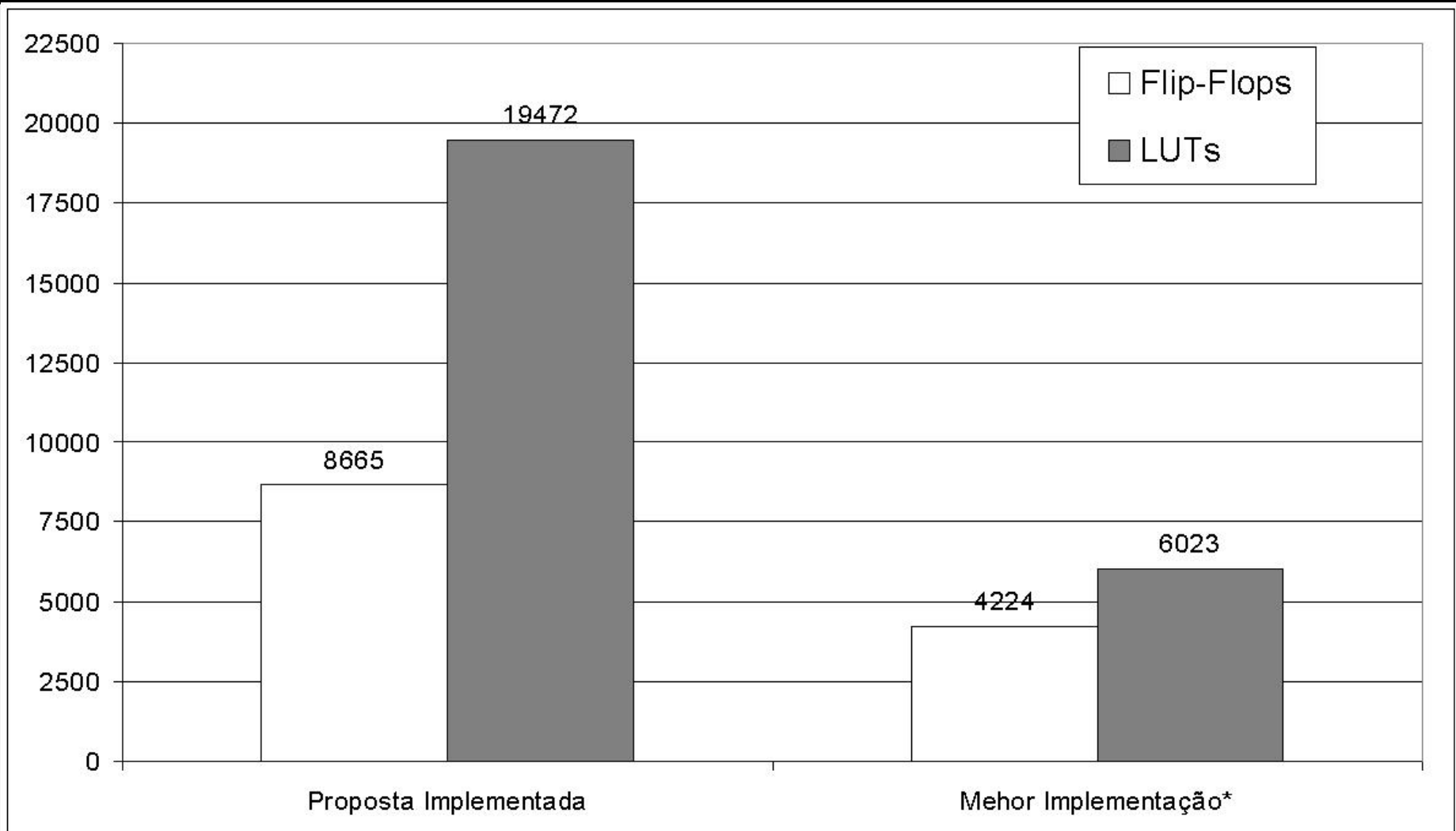
Resultados Comparativos ::



mMips (Open Source) > MicroBlazer (IP)
mMips RISC
Vantagem para Uso Acadêmico

NoC com bons resultados
Poucos comparativos (trabalhos futuros)

Resultados Comparativos ::



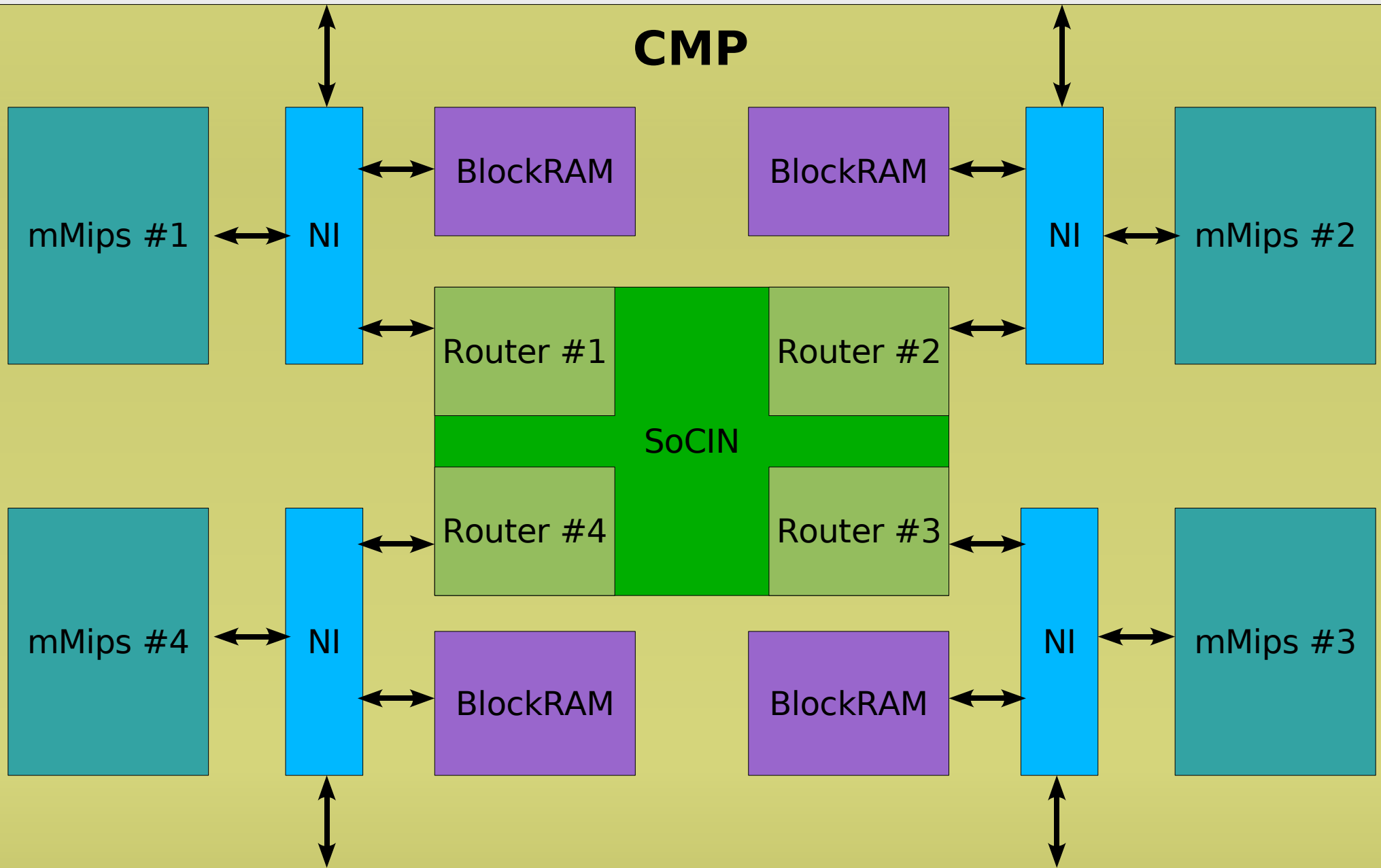
Facilmente pode-se reduzir a área do projeto
Tendência de maior adoção de Módulos IP

Pouca ou nenhuma opção de customização
Aprendizado de novas ferramentas para trabalhar com IP

Trabalhos Futuros ::

- Aperfeiçoar o HandShake
 - NI – Network Interface.
- Implementar uma aplicação teste
 - Jpeg Decoder.
- Aumentar os comparativos
 - Potência, Desempenho
 - NoC, CPU, NI

Trabalhos Futuros ::



Referências ::

- [1] L. A. Barroso et al. Piranha: a scalable architecture based on single-chip multiprocessing. International Symposium on Computer Architecture (ISCA), pages 282–293, 2000.
- [2] L. Benini et al. Network-on-chip architectures and design methods. Comput. Digit. Tech., Março 2005.
- [3] L. Carro. Projeto e Prototipação de Sistemas Digitais. Editora da Universidade Federal do Rio Grande do Sul, 2001.
- [4] H. C. Freitas et al. Evaluating network-on-chip for homo-geneous embedded multiprocessors in fpgas. International Symposium on Circuits and Systems (ISCAS), 2007.
- [5] J. L. Hennessy and D. A. Patterson. Arquitetura de Computadores. Editora Campus, 3 edition, 2003.
- [6] P. Kongetira et al. Niagara: a 32-way multithreaded sparc processor. IEEE MICRO, pages 21–29, Março-Abril 2005.
- [7] M. T. M. León. Fast modelling and analysis of NoC-based MPSoCs. Eindhoven University of Technology, Holanda, 2006.
- [8] A. Mello et al. Virtual channels in networks on chip: implementation and evaluation on hermes noc. Symposium on Integrated Circuits and Systems Design (SBCCI), Setembro 2005.
- [9] F. Moraes et al. Hermes: an infrastructure for low area overhead packet-switching networks on chip. The VLSI Journal Integration, pages 69–93, 2004.
- [10] K. Olukotun et al. The case for a single-chip multiprocessor. Architectural Support for Programming Languages and Operating Systems (ASPLOS), 2006.
- [11] J. C. P. Ortiz. DESIGN OF COMPONENTS FOR A NoC-BASED MPSoC PLATFORM. Eindhoven University of Technology, Holanda, 2005.
- [12] E. Salminen et al. Hibi-based multiprocessor soc on fpga. IEEE Symposium, 2005.
- [13] B. Sinharoy et al. Power5 system microarchitecture. IBM J. RES. & DEV., Julho-Setembro 2005.
- [14] M. Vestias et al. Co-synthesis of a configurable soc platform based on a network on chip architecture. Asia and South Pacific Conference on Design Automation, pages 24–27, 2006.
- [15] C. A. Zeferino et al. Socin: A parametric and scalable network-on-chip. Symposium on Integrated Circuits and Systems Design (SBCCI), 2003.

FIM

Perguntas ? !

