

---

## PLANO de ENSINO Adaptado ao Ensino Remoto - Semestre 2020-1 (ERE)

### **CMP115 - Design of VLSI Circuits (Concepção de Circuitos Integrados VLSI)**

Professor: Sergio Bampi

**Pré-Requisitos:** Graduação concluída e matrícula realizada pelo PPGC-UFRGS em fevereiro-2020.

**Carga Horária:** 60hs

**Créditos:** 4

#### **SÚMULA**

- Introdução à integração de sistemas em CIs – tendências
- Princípios básicos de processo de fabricação
- Revisão de dispositivos MOS básicos
- Regras geométricas e regras elétricas de projeto
- Níveis de especificação e abstração
  - Transistores e portas lógicas
- Princípios de “Scaling” em CMOS
- Lógica CMOS combinacional
- Lógica estática e lógica dinâmica CMOS
- Lógica Sequencial CMOS
- Blocos Operacionais Aritméticos integrados
- Elementos de Memória e Estruturas de layout regular

#### **OBJETIVO**

O objetivo da disciplina é capacitar o aluno a compreender e realizar as etapas básicas do projeto de circuitos integrados digitais. A ênfase maior do curso está voltada para o projeto de sistemas VLSI em tecnologias CMOS, que são predominantemente na implementação de sistemas computacionais integrados atualmente. A disciplina introduz as técnicas de projeto de sistemas digitais em CMOS, desde os princípios de funcionamento de transistores MOS, portas lógicas, macroblocos e estruturas regulares como RAM, ROM. Princípios de uso de ferramentas de leiaute, de simulação, de extração elétrica e de especificação comportamental serão exercitados pelos alunos em trabalhos práticos de projeto de blocos CMOS digitais.

#### **CONTEÚDO PROGRAMÁTICO**

- Introduction to the VLSI Design course. Review concepts of system integration in VLSI integrated circuits. Integration scale;
- Basic IC Fabrication Processes;
- Basic semiconductor devices. P-n junction devices. Models. MOS structure;
- Models for electrical capacitors M-I-S. MOS structure. Characteristics and CV model at high and low frequencies;
- MOS transistors (NMOS E-, D-NMOS, PMOS): layout, geometry to electrical correlations;
- MOS transistors II - Models and first and second order effects;
- Electrical SPICE simulation: Models, format, types of analysis;
- NMOS and CMOS performance, features, timing, layout;
- CMOS inverter static and dynamic response. Noise Margins;

- Basic CMOS logic;
- Dynamic response. Sizing of gates, logical effort. Sizing of buffers and digital oscillators;
- Laboratory work with electrical simulation (SPICE-like) and with Spectre simulator;
- Static CMOS logic gates. Dynamic response and scaling of transistors. Electrical effects, timing;
- Power consumption. Electrical models for energy and power in CMOS logic;
- Complex CMOS logic, layout techniques, Euler path;
- Switch and pass-transistor logic;
- Combinational circuit design: full-adder and decoders;
- N-bit Adders. Logic/Electric techniques for carry acceleration;
- Parasitics. Models for Wiring and interconnect lines;
- Single-rail dynamic logic: Examples of implementation;
- Dual-rail structures: voltage-mode logic;  
Dynamic Logic I. Latches and Flip-Flops;  
Dynamic Logic II;
- Register and Memory cells. :Regular structures ROM, EPROM, EEPROM;
- RAM (static and dynamic). Structure. Timing. Pre-load decoding. Sense-amplifier;
- Model and Design of a Simple end differential amplifier stage. Example of sense-amplifier;
- Full custom x standard cell gate array x cell library.

#### **METODOLOGIA do PLANO de ENSINO em modo REMOTO (ERE)**

Não serão realizadas atividades presenciais na disciplina durante o Ensino Remoto Emergencial deste semestre 2020/1, em virtude das restrições impostas pela COVID-19 e atendendo a Resolução 025/2020 do CEPE da UFRGS.

Início das atividades de ensino remoto: 18-AGOSTO-2020.

As atividades de ensino e aprendizado ocorrerão de forma síncrona ou assíncrona, conforme previsto no cronograma da disciplina. As atividades síncronas iniciarão no dia 18-Agosto-2020. As atividades assíncronas são aquelas por meio de vídeos gravados, trabalhos especificados e material instrucional disponibilizado por documentos no Ambiente Virtual de Aprendizado (AVA) que é o grupo Moodle da disciplina em [www.moodle.inf.ufrgs.br](http://www.moodle.inf.ufrgs.br). A auto-inscrição dos alunos no AVA, neste site institucional, é obrigatória.

As atividades síncronas ocorrerão nos horários regulares da disciplina, em datas especificadas pelo professor. As aulas síncronas serão usadas para expor conteúdo, especificar tarefas, responder dúvidas, tanto sobre conteúdo teórico do material pré-gravado, bem como sobre as atividades de trabalhos práticos de design.

Estão previstos 05(cinco) trabalhos práticos de design, a serem realizadas pelos alunos, de forma assíncrona, em seus computadores pessoais, usando ferramentas de EDA da UFRGS, para layout estilo full-custom, verificação, extração e simulação elétrica de circuitos digitais. Essas atividades serão definidas e disponibilizadas no AVA da disciplina ao longo do semestre, e serão avaliadas pela entrega de relatórios em datas e prazos estipulados também de acordo com o cronograma.

As atividades assíncronas consistem em acompanhamento, pelos alunos, de aulas pré-gravadas em vídeo, de vídeos aconselhados em repositórios digitais, e na realização das tarefas de projeto de circuitos, leitura de material escrito (capítulos do Livro-texto de J. Rabaey, Chandrakasan, B. Nikolic) ou de estudo propostos pelo professor. Essas atividades deverão ser realizadas até as datas previstas.

O material da disciplina, incluindo material didático, slides, vídeos, links para sistemas e material de apoio, assim como disponibilização dos enunciados das atividades de avaliação e seu recebimento acontecem no AVA (Ambiente Virtual de Aprendizagem) do site [moodle.inf.ufrgs.br](http://moodle.inf.ufrgs.br).

A comunicação com o professor acontece via ambiente do Moodle do Instituto de Informática (<https://moodle.inf.ufrgs.br>), em reuniões síncronas utilizando webconferência via [Mconf.ufrgs](http://mconf.ufrgs.br) ou, caso inviável ou inoperante, via ambiente de grupo do Microsoft Teams institucional da UFRGS. As reuniões remotas são para interação e esclarecimento de dúvidas dos alunos, que poderão ser apresentadas por e-mails de contato dos alunos ( emails registrados no sistema de matrícula da UFRGS).

#### **RECURSOS COMPUTACIONAIS para o ENSINO em modo REMOTO (ERE)**

Para acompanhar as atividades previstas o aluno deve providenciar ter acesso regular à Internet. As atividades instrucionais síncronas serão disponibilizadas através de um sistema de streaming e/ou telereunião, e podem ser acompanhadas através de computador ou notebook com microfone e câmera.

caso, o aluno poderá interagir no ambiente de streaming com dispositivo móvel celular.

Para a realização das atividades práticas propostas será necessário que o aluno tenha firmado por escrito o termo de confidencialidade e pedido de acesso à conta no CADMICRO – servidores de EDA de Microeletrônica (ex-NSCAD), como já realizado em março-2020 por todos os alunos.

O aluno deverá acessar remotamente estes servidores de EDA via serviços de vpn da UFRGS e login remoto via shell segura (como serviço “ssh”). Será impossível ao aluno realizar as tarefas práticas de projeto somente com o uso de telefone celular.

### CRITÉRIOS de AVALIAÇÃO

Serão realizadas 2 (duas) Provas (**P1** e **P2**), com consulta a livro aberto, de modo remoto e assíncrono em datas a serem fixadas no cronograma do semestre. O texto da Prova será disponibilizado no AVA a partir do dia e hora previamente agendado. A hora será agendada com antecedência de 07 dias. O aluno terá 06 (seis) horas para fazer o download da Prova, para a resolução das questões e entrega via AVA das suas respostas ao professor. Será aceito documento escaneado, composto de folhas de prova escritas à mão pelo aluno e posteriormente escaneadas e carregadas pelo aluno no AVA.

A cada prova será atribuído um grau de 0 (zero) a 10 (dez).

Os trabalhos práticos de design e simulações de circuitos CMOS serão avaliados a partir de relatórios entregues no AVA para avaliação do professor. Os trabalhos práticos terão 40% de peso na nota final da disciplina.

A cada atividade prática constante de Relatório individual será atribuído um grau de 0 (zero) a 10 (dez).

A nota dos trabalhos práticos (TP) será calculada pela média aritmética dos graus obtidos na avaliação dos relatórios dos trabalhos práticos de design.

A Nota Final (NF) do aluno é dada por :  $NF = 0,3 P1 + 0,3 P2 + 0,4 TP$

Serão considerados os casos seguintes:

- a) **APROVADO** por média, o aluno com Nota final  $NF \geq 6,0$ .

Conceito:  $9,0 \leq NF$  → A

$7,5 \leq NF < 9,0$  → B

$6,0 \leq NF < 7,5$  → C

- b) **REPROVADO**, o aluno que obtiver  $NF < 6,0$ .

Conceito:  $NF < 6,0$  → D

- c) **Conceito N.I. : Excepcionalmente, no semestre 2020/1, por meio da Resolução CEPE 025/2020, a UFRGS não permite atribuir o conceito FF.** Visto que no ERE não há controle de frequência presencial. Será atribuído o conceito N.I. (não informado) ao aluno que não tenha se submetido a ambas Provas teóricas (P1 e P2) ou não tenha realizado nenhum trabalho prático.

### RECUPERAÇÃO de PROVAS e da NF

Aos alunos com desempenho insatisfatório ( $NF < 6,0$ ), ou que não tenham realizado apenas uma das Provas (P1 ou P2), será estabelecida uma atividade de recuperação individualizada ao final do semestre. A recuperação será através de um exame final de recuperação (REC) com questões orais e questões escritas relativas à toda disciplina. Este exame será realizado em sessão individual em telereunião apenas com um aluno e o professor. O exame será previamente agendado, com 72 horas de antecedência, pelo professor com cada aluno em recuperação. A atividade do Exame Final terá duração de até 2 (duas) horas.

O Exame final receberá nota REC.

A média final (NM), após a recuperação, será computada como :

$NM = 0,6 REC + 0,4 TP$ .

**BIBLIOGRAFIA (sem alteração)**

- Rabaey, Jan, Chandrakasan, A, Nikolic, B. Digital Integrated Circuits, Prentice Hall, 2<sup>nd</sup> edition.
- Weste, N., Harris, D. Principles of CMOS VLSI Design. Addison-Wesley, 3rd edition, 2004
- Artigos e material de instrução disponibilizados no AVA do ambiente moodle.inf.ufrgs.br