

EMICRO/SIM 2013

XV Escola de Microeletrônica Sul / 28º Simpósio Sul de Microeletrônica

Porto Alegre, 29 de abril a 3 de maio de 2013



Circuitos Analógicos

Evolução, Necessidades e Desafios

Prof. Dr. Hamilton Klimach
Departamento de Eng. Elétrica - UFRGS

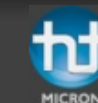
Organização



Promoção



Apoio



CEITEC S.A.
semiconductors

Sumário

- Introdução
- Características do Projeto Analógico
- Desafios no Projeto Analógico
- Implementação de Passivos
- Fluxo de Projeto
- Exemplo: amplificador MOS
- Desafios Futuros

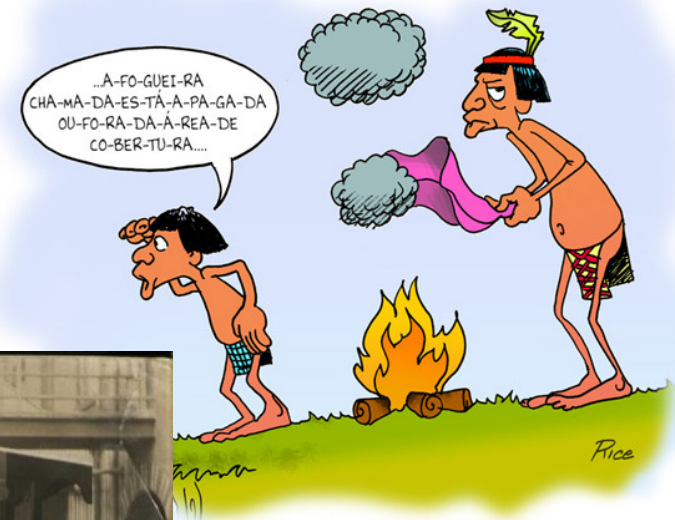
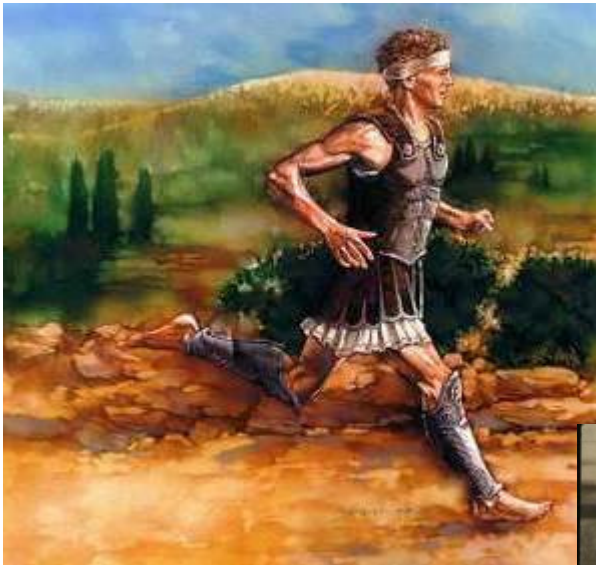
Conhecer o passado para entender o presente e construir o futuro.



'STEADY AS SHE GOES'

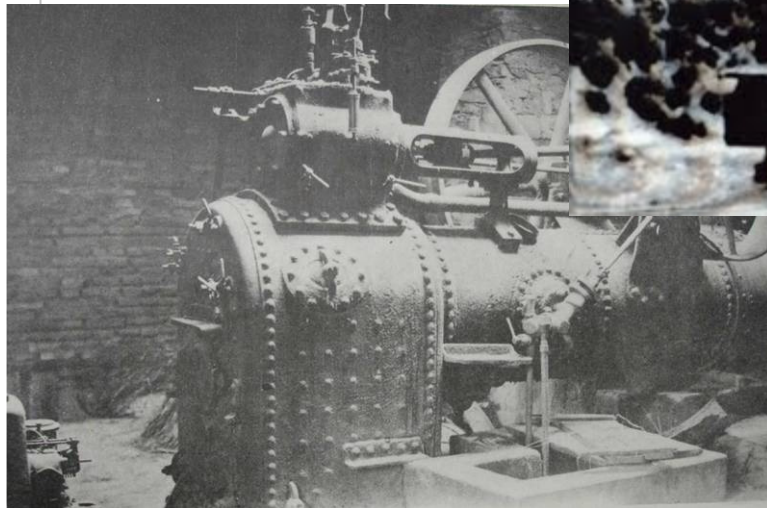
Introdução – por que tudo começou?

- Desde o início da civilização, a expansão de horizontes levou à necessidade de **comunicação à distância**



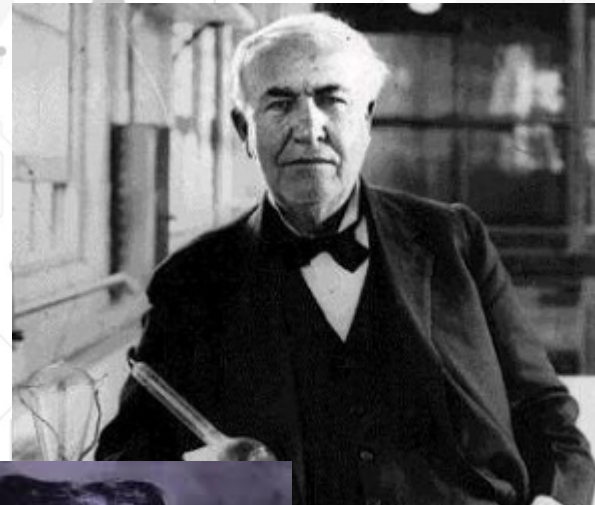
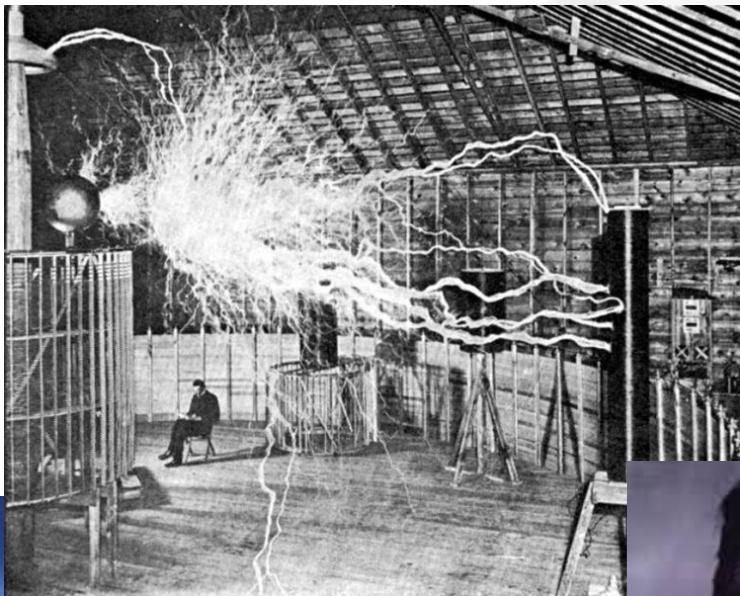
Introdução – máquinas

- Séc. XVIII e XIX (Revolução Industrial): a tecnologia, na forma da **manipulação da energia** através das **máquinas** e, se torna peça central na economia das nações.



Introdução – eletricidade

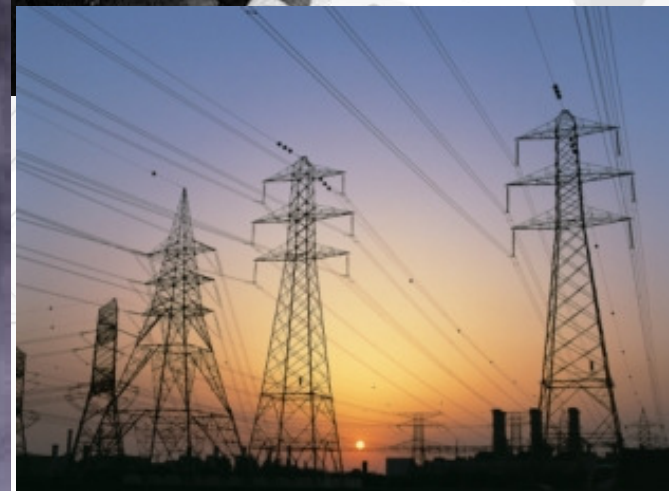
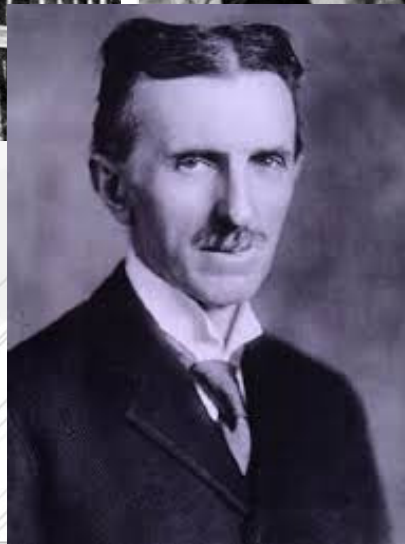
- Séc. XVIII e XIX: eletricidade começa a ser domada pelo homem



**Thomas
Edison**



**Nikola
Tesla**

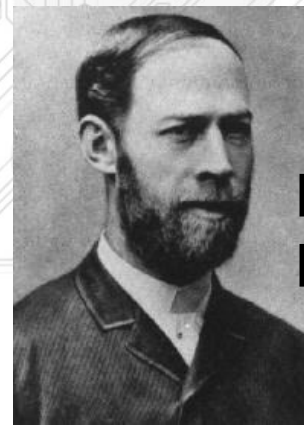


Introdução – telefone e rádio

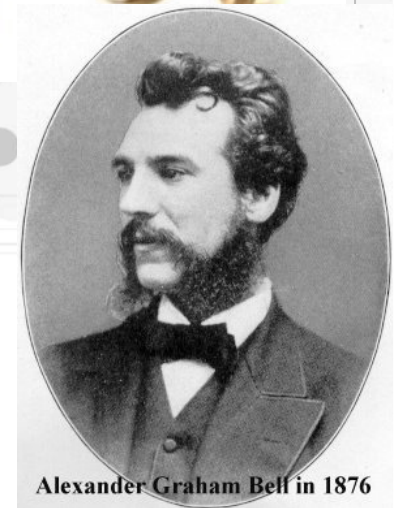
- Final do séc. XIX e início do séc. XX: **comunicação elétrica à distância**
 - Sinais enviados por fios: eletricidade – telégrafo e telefone
 - Sinais enviados pelo espaço: ondas eletro-magnéticas – rádio
- **Amplificação elétrica: nova necessidade**



**Roberto
Landel de
Moura**



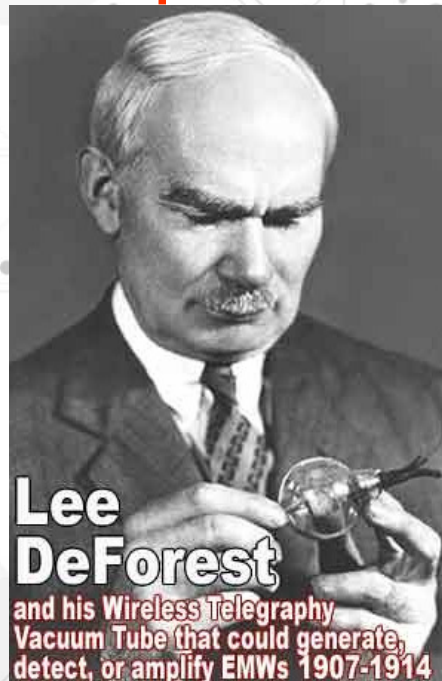
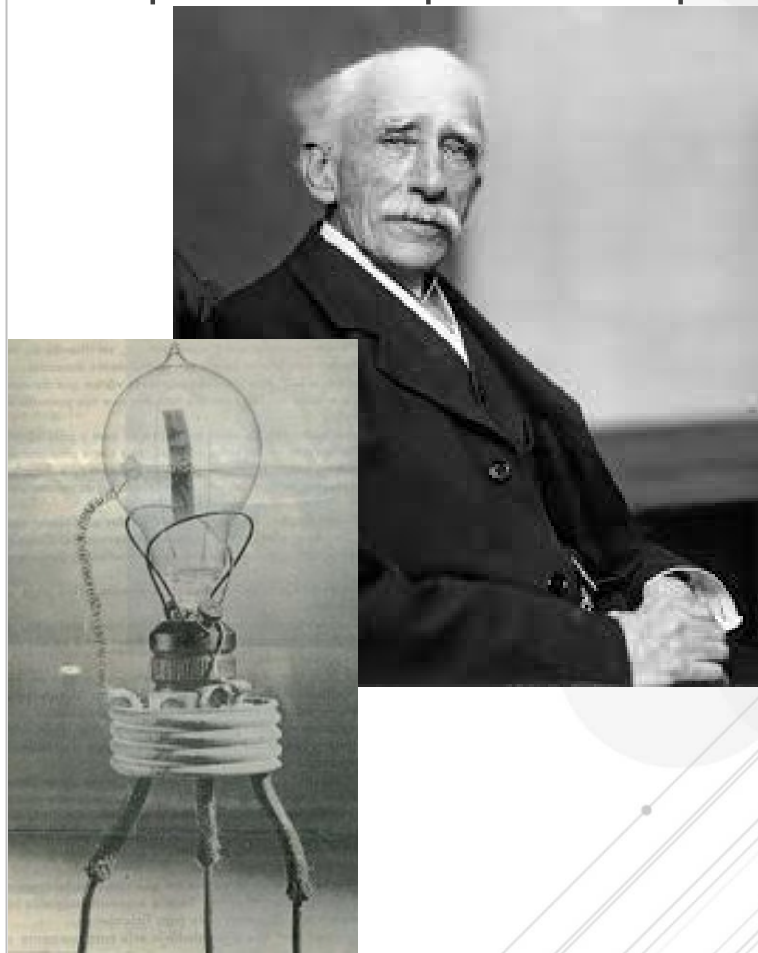
**Heinrich
Hetz**



Alexander Graham Bell in 1876

Introdução – nascimento da eletrônica

- **1906:** John Fleming e Lee DeForest inventam a **válvula termo-iônica**, o primeiro dispositivo capaz de **amplificar sinais elétricos**



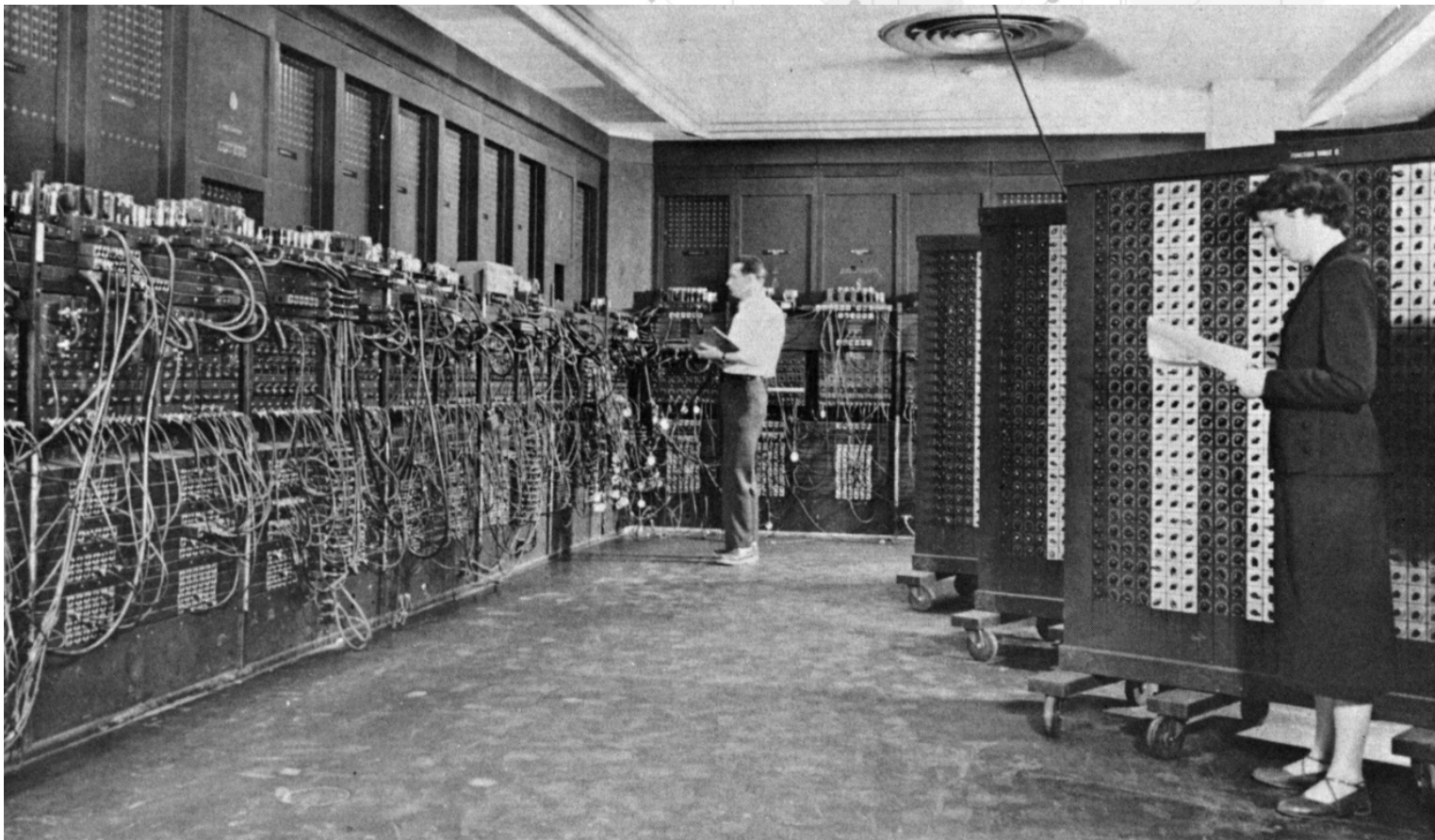
Introdução – era do rádio e televisão

- Transmissão de rádio e TV faz parte do dia-a-dia



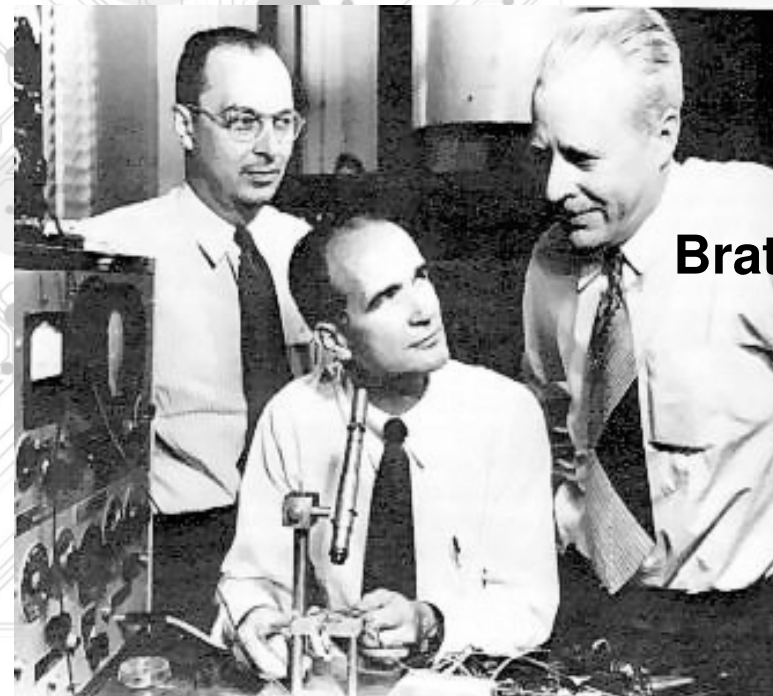
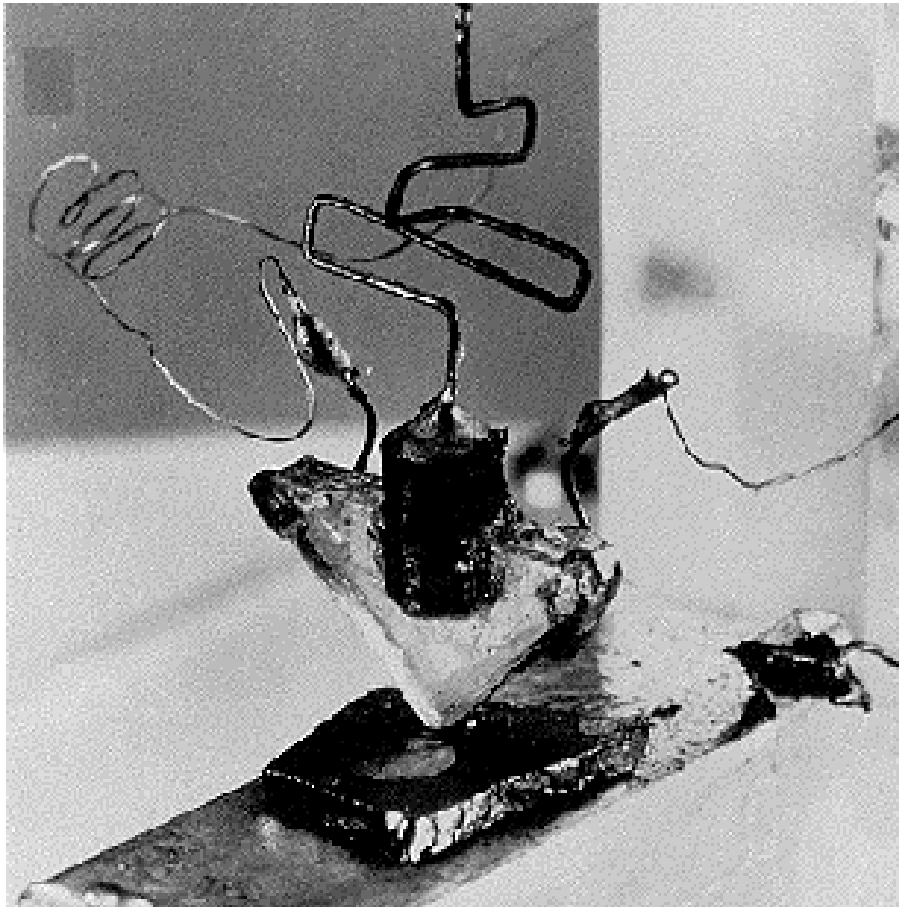
Introdução – início do computador

- **1946:** ENIAC, primeiro computador eletrônico programável é construído com **1800 válvulas e 6000 relés**



Introdução – o primeiro transistor

- **1947:** A descoberta do TRANSISTOR (Bell Labs) torna a eletrônica compacta, barata e de baixo consumo de energia.



Bardeen

Brattain

Shockley

Introdução – IBM UNIVAC

- **1952:** IBM lança seu primeiro sucesso comercial, o computador UNIVAC, com **5.200 válvulas** e pesando **13 ton**



Introdução – eletrônica de semicondutores

- **Transistor de Junção Bipolar** alavanca a rápida evolução da eletrônica
- Surgem os primeiros computadores transistorizados
- Surgem os primeiros rádios portáteis alimentados a pilha

IBM 7094 transistorizado - 1959



Rádios Regency e Sony 1954

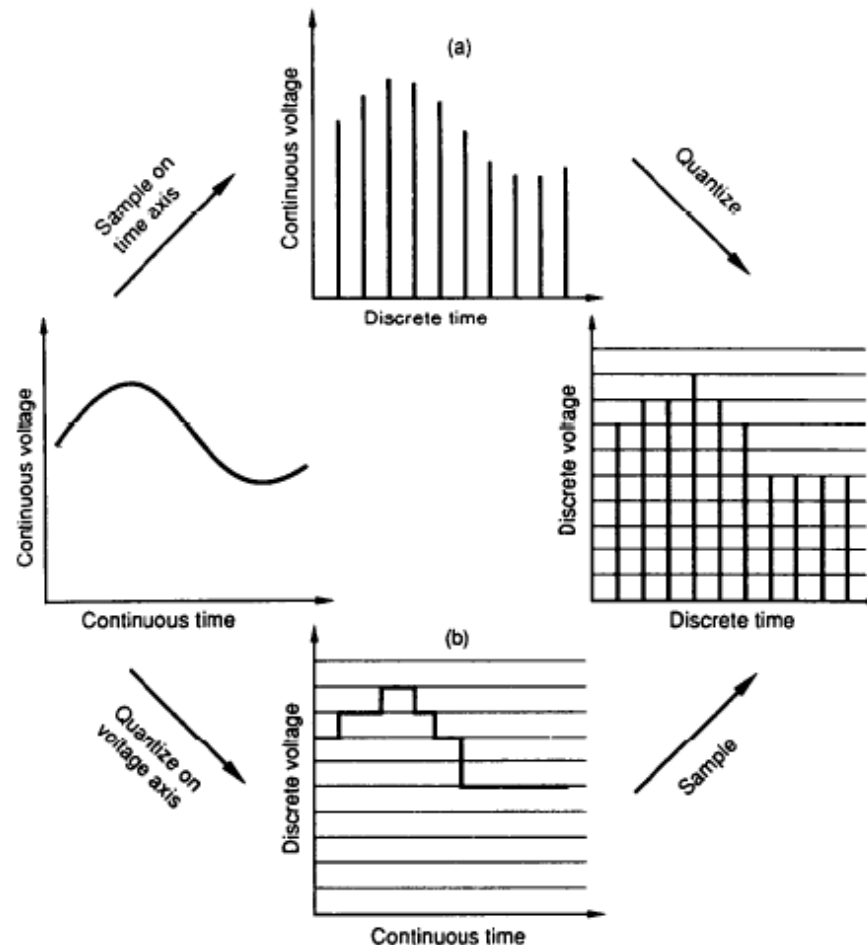


Introdução – eletrônica analógica e digital

- Surge a dicotomia analógico vs digital

Analógico:
sinais contínuos
no tempo e em
amplitude

Sinal é
representado
através da
magnitude de
tensão ou
corrente



Digital: sinais
discretos no
tempo e em
amplitude

Sinal é
representado
através de
**codificação
binária**

Introdução – MOSFET

- **1959**: MOSFET (metal-oxide-semiconductor field-effect transistor) é descoberto por **John Atalla** and **Dawon Kahng** (Bell Labs)

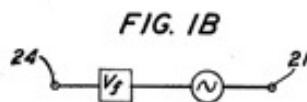
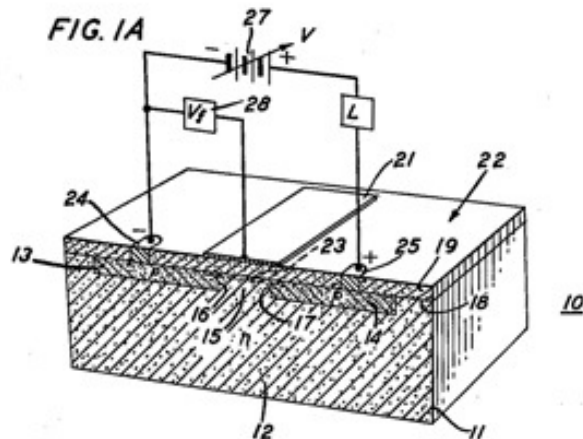
Aug. 27, 1963

DAWON KAHNG

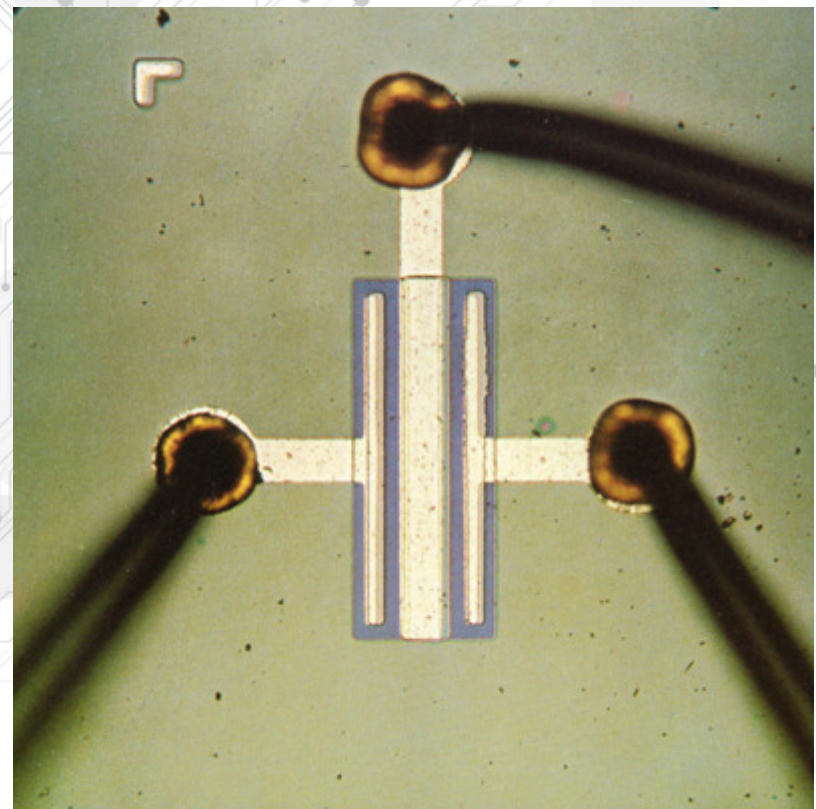
3,102,230

ELECTRIC FIELD CONTROLLED SEMICONDUCTOR DEVICE

Filed May 31, 1960

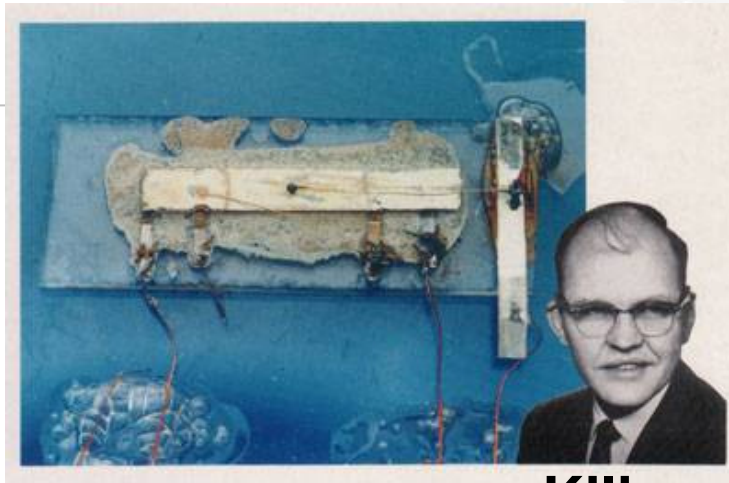


PMOS Fairchild FI100 - 1964



Introdução – eletrônica integrada

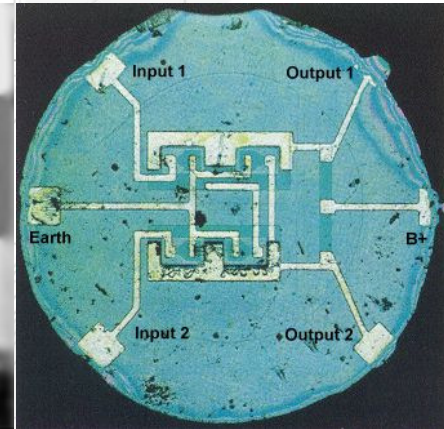
- **1959:** O circuito integrado (CI) é inventado por **Jack Kilby** (Texas) e **Robert Noyce** (Fairchild) quase ao mesmo tempo



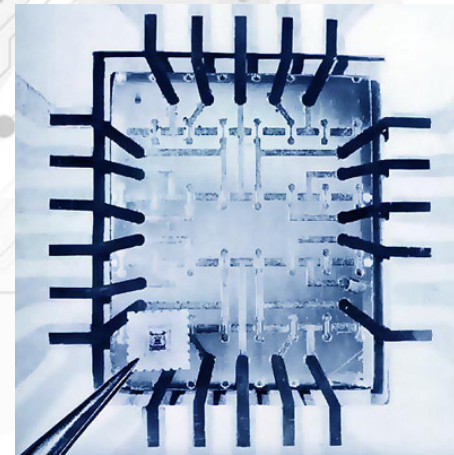
Kilby



Noyce



- **1962:** RCA fabrica o primeiro **CI MOS** com 16 transistores



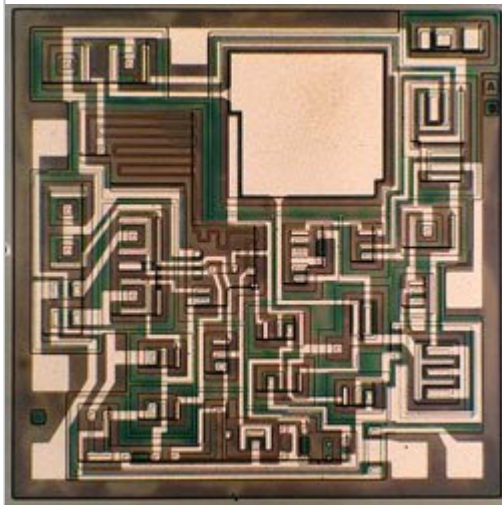
Introdução – eletrônica integrada A e D

- Eletrônica evolui rapidamente e assume papel fundamental no desenvolvimento das nações
- **Bipolar**: maior ganho, melhor para analógicos
- **Mosfet**: menor consumo e menor tamanho, melhor para digital

Analógico:

Transistor Bipolar

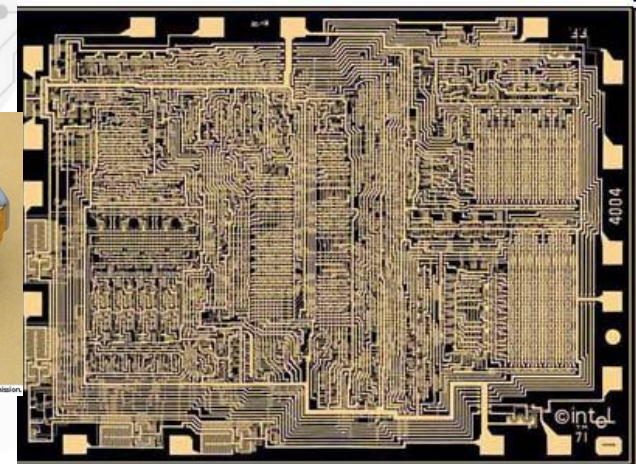
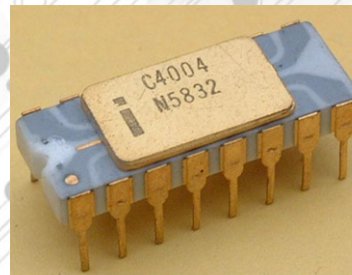
Fairchild μ A741 - 1968



Digital:

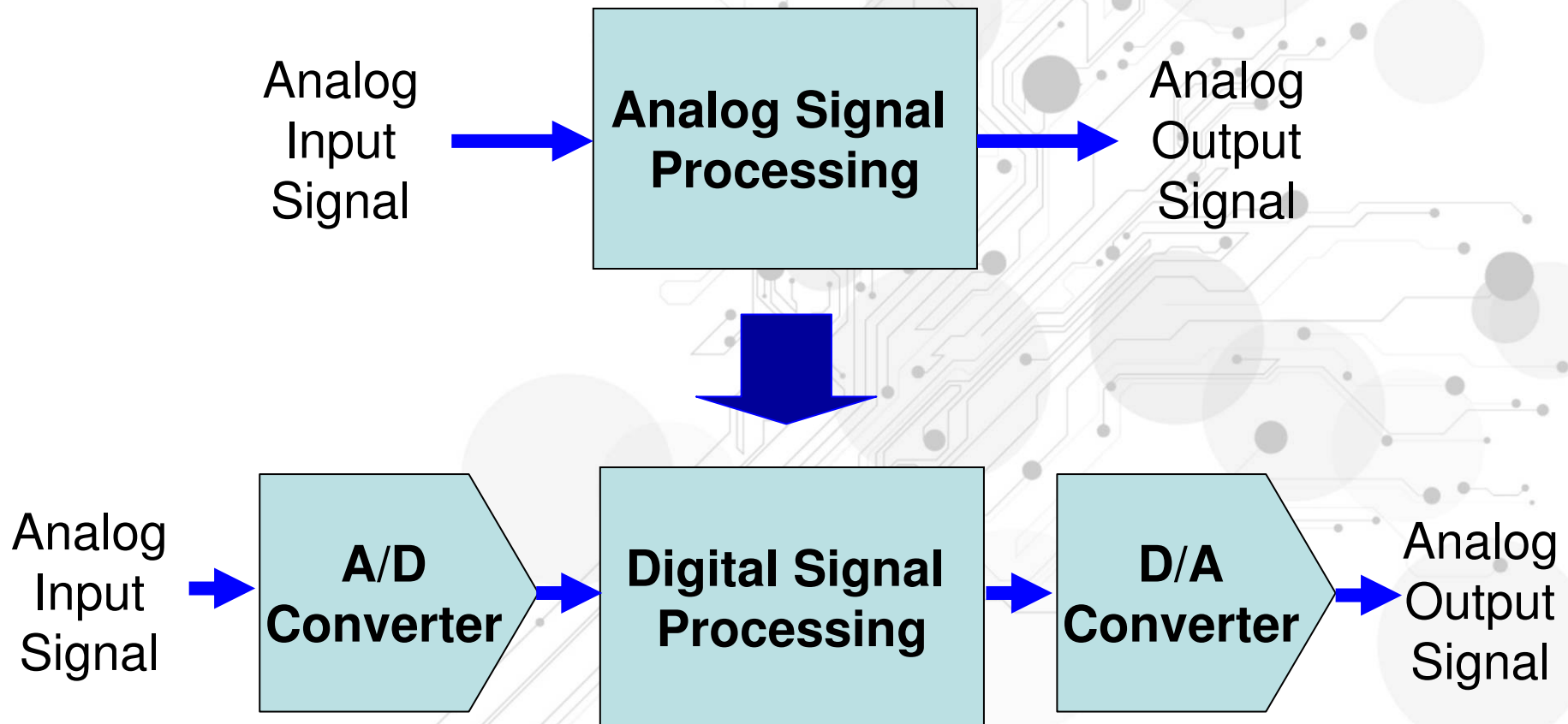
Transistor MOS

Intel 4004 pmos – 1971



Introdução – eletrônica integrada A e D

- **Décadas '80 e '90:** Processamento Digital de Sinais (DSP) se mostra mais eficiente e substitui diversas aplicações da eletrônica analógica



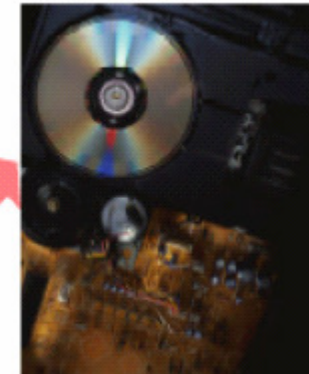
Introdução – SoC

- Sistem-On-Chip (SOC): Processamento Digital + Interface Analógica

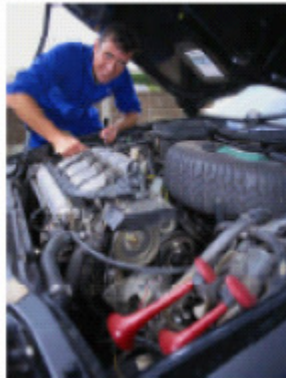
Telecom



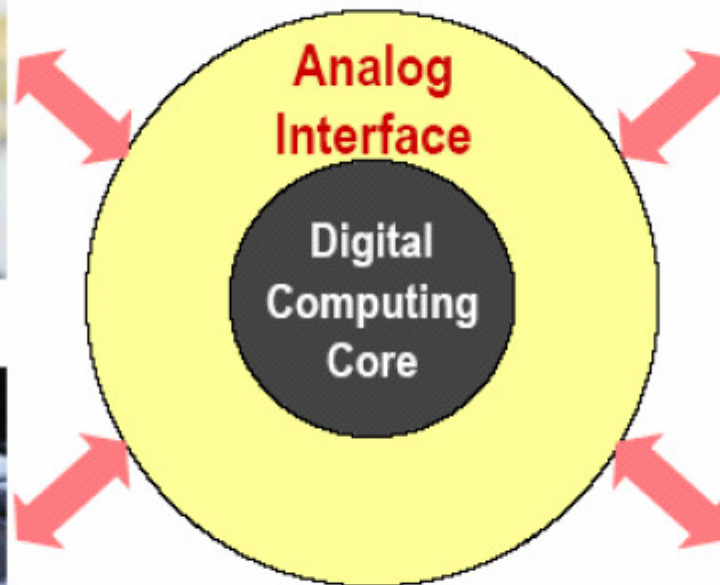
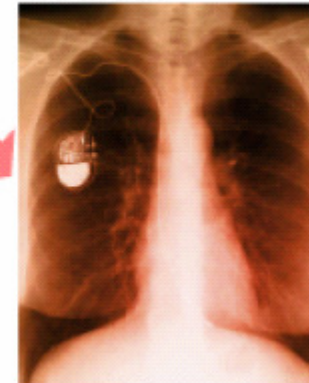
Consumer



Automotive



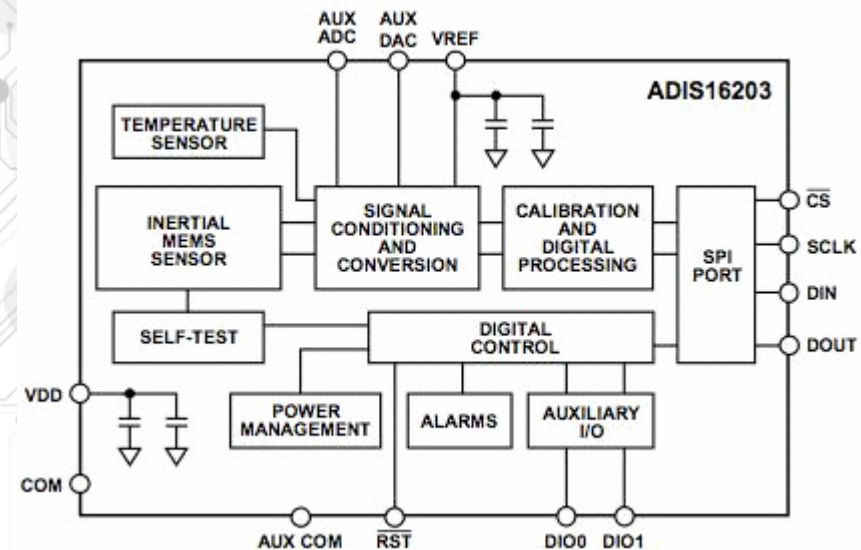
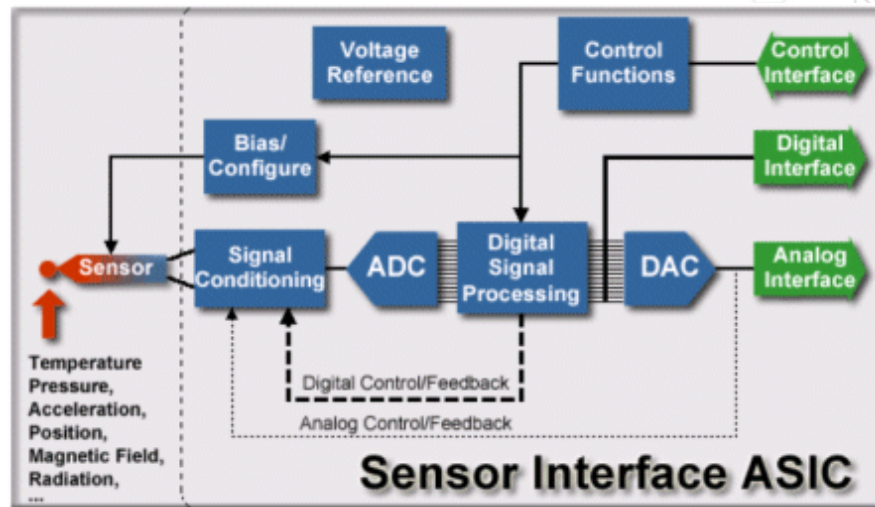
Medical



Introdução – SoC

HOJE: sistemas eletrônicos com A + D no mesmo chip MOS

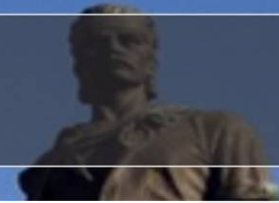
- Processamento de sinais: Digital
- Armazenamento de sinais: Digital
- Interconexões de curta distância: Digitais (barramentos locais)
- Interfaces de entrada e saída: Analógico-digitais (mixed-signal)
- Interconexões de longa distância: Analógicas (wired, RF ou ópticas)
- Alimentação: Analógico



Sumário

- Introdução
- **Características do Projeto Analógico**
- Desafios no Projeto Analógico
- Implementação de Passivos
- Fluxo de Projeto
- Exemplo: amplificador MOS
- Desafios Futuros

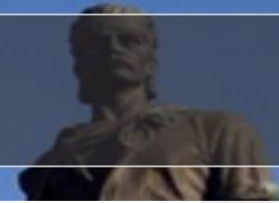
Características do Projeto Analógico



Há uma grande variedade de classes de blocos básicos analógicos:

- Amplificador (diversas topologias)
- Filtro (diversos tipos)
- Condicionador (depende da origem do sinal)
- Comparador (topologia conforme aplicação)
- Conversor (AD e DA – topologia conforme velocidade, exatidão e consumo)
- Oscilador (diversas arquiteturas)
- Phase-Locked Loop (PLL – inúmeras variantes)
- Referências de tensão e corrente (muitas estratégias)
- Reguladores de tensão e corrente
- Outros

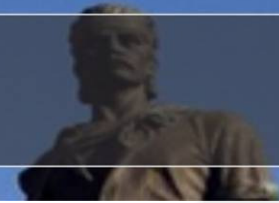
Características do Projeto Analógico



Há uma grande variedade de tipos de especificações elétricas e funcionais:

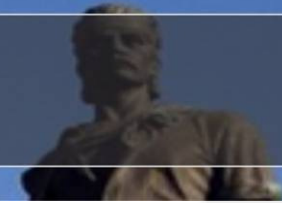
- Ganho
- Resposta ou comportamento em frequência
- Condições de estabilidade dinâmica
- Linearidade ou distorção
- Impedâncias de entrada e saída
- Excursão de sinal de entrada e saída
- Tensão de alimentação e consumo de potência
- Relação sinal/ruído
- Sensibilidade à temperatura
- Sensibilidade à alimentação
- Sensibilidade à variabilidade do processo de fabricação
- outros

Características do Projeto Analógico



- Não há uma **metodologia** geral de projeto (cada caso é um caso).
- Não há **ferramentas** de CAD automatizadas.
- Desempenho do circuito depende muito das características dos **dispositivos** (migração de processo necessita reprojeto).
- Escolha de topologias depende muito da **experiência** do projetista.
- Desenvolvimento de novas topologias depende muito da **criatividade** do projetista.
- Estratégias de **verificação** funcional e elétrica são muito limitadas (chance de reprojeto muito grande).
- Desempenho do circuito depende fortemente do **layout** (efeitos parasitas, acoplamentos, descasamentos, gradientes térmicos, tensões mecânicas superficiais, etc).
- Bom layout depende de conhecimento detalhado do **processo** de fabricação.

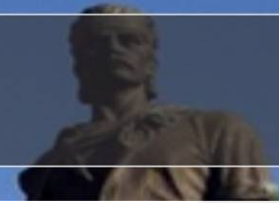
Características do Projeto Analógico



Resultado depende de:

- Conhecimento técnico (eletrônica, teoria de circuitos, eletromagnetismo, física do estado sólido, sistemas realimentados, etc)
- Técnicas de Layout
- Conhecimento do processo de fabricação
- Cuidado, dedicação e esforço
- Criatividade
- Experiência
- Percepção
- **Conhecimento profundo da física dos dispositivos**
- **É quase uma 'arte'...**

Características do Projeto Analógico



Procedimento:

- Novas idéias surgem pela profundidade com que se conhece os dispositivos, principalmente os transistores.
- Busca-se fazer 'mais com menos': aproveita-se a complexidade do comportamento dos dispositivos para implementar parte da funcionalidade do circuito, reduzindo-se o número de componentes.
- Novos circuitos geralmente surgem através de rabiscos num pedaço de papel, após alguma divagação.
- Passa-se à fase de simulações após o circuito estar previamente definido e dimensionado (pré-projeto à mão).
- Busca-se inicialmente modelos comportamentais simples para os dispositivos na fase de pré-projeto, os quais aumentam em complexidade na medida em que se refina o projeto.
- Uso de modelos contínuos para o MOSFET (ACM ou EKV) torna o projeto mais genérico e completo.

Sumário

- Introdução
- Características do Projeto Analógico
- **Desafios no Projeto Analógico**
- Implementação de Passivos
- Fluxo de Projeto
- Exemplo: amplificador MOS
- Desafios Futuros

Desafios no Projeto Analógico



Semicondutores são muito sensíveis à TEMPERATURA

- Topologias onde os efeitos térmicos são evitados, minimizados ou compensados

Circuitos Analógicos são muito sensíveis à ALIMENTAÇÃO

- Topologias em 'balanço', onde os sinais são diferenciais
- Polarização em corrente, independente da tensão

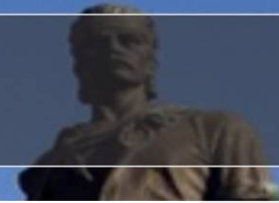
Sinais Analógicos são suscetíveis a PERTURBAÇÕES (ruído ou interferência)

- Topologias diferenciais, onde a perturbação é minimizada
- Redução de geração de ruído interno nos dispositivos
- Estratégias de redução de interferências (orientação, posicionamento, blindagem, isolamento, etc)

Dispositivos Semicondutores não são LINEARES

- Topologias de minimização de distorção
- Escolha adequada dos pontos de operação dos dispositivos

Desafios no Projeto Analógico MOS



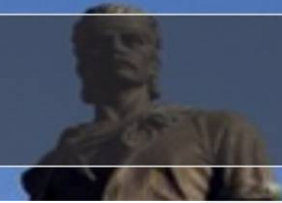
Necessidade de dispositivos passivos, além do transistor

- Processos de fabricação MOS standard são feitos para circuitos digitais
- Usa-se Resistores, Capacitores, Bipolares e Indutores de baixa qualidade (parasitas ou adaptações)
- Processos Mixed-Signal oferecem camadas adicionais para fabricação de passivos de melhor qualidade: + custo!

Efeito de acoplamento através do substrato (condutivo)

- Uso de topologias diferenciadas (redução de cross-talk)
- Desacoplamento por equipotenciais (anéis de guarda)
- Uso de processos de fabricação especiais:
 - Substrato de baixa condutividade
 - Trincheiras de isolamento por óxido (deep trench isolation)
 - Silicon-on-Insulator (SOI)

Desafios no Projeto Analógico MOS



Baixa Tensão de Alimentação

- Tensão diminuiu progressivamente ($V_{dd} < 1V$)
- Sinais analógicos tem menor faixa de excursão: maior suscetibilidade a perturbações (ruído e interferência)
- Topologias tradicionais com diversos transistores 'empilhados' se tornam inviáveis

Baixo Consumo de Potência/Energia ($< \mu W$)

- Eletrônicos são portáteis (bateria)
- Aumento da funcionalidade pela exploração do comportamento dos dispositivos, ao invés do aumento do número destes
- Operação dos transistores em 'near-threshold' ou 'sub-threshold'

Desafios no Projeto Analógico MOS

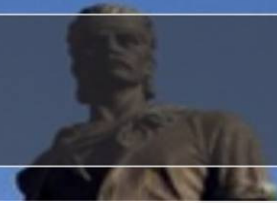


MOSFETs tem menor faixa dinâmica que bipolares

- Topologias mais complexas ou com mais estágios
- Operação em subthreshold
- Uso de bipolares 'parasitas', se necessário
- Uso de BICMOS quando imprescindível (+custo!)

Frequências de operação crescentes (>GHz)

- Novas topologias adequadas à RF
- Controle de capacitâncias e indutâncias parasitas
- Uso de processos de fabricação adequados a RF
- Domínio de técnicas de projeto em altas frequências

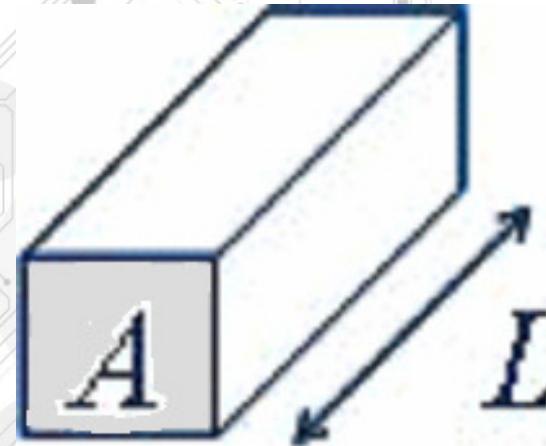


- Introdução
- Características do Projeto Analógico
- Desafios no Projeto Analógico
- **Implementação de Passivos**
- Fluxo de Projeto
- Exemplo: amplificador MOS
- Desafios Futuros

Implementação de Passivos - Resistores

- Um resistor é formado por um condutor com certa resistividade ρ ($\Omega\cdot\text{m}$) e determinadas dimensões (área da secção A e comprimento L):

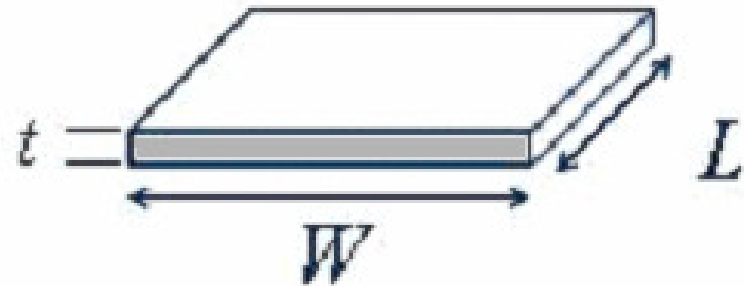
$$R = \rho \frac{L}{A}$$



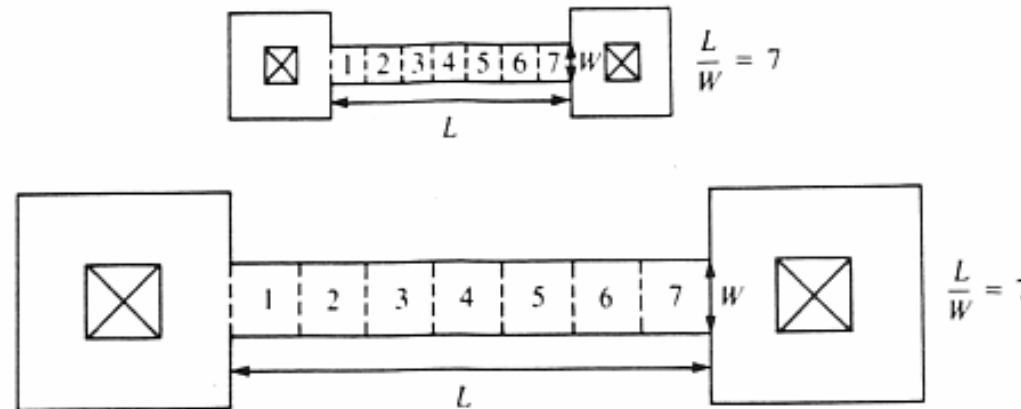
Implementação de Passivos - Resistores

- No caso de uma folha condutiva, onde ρ_Q é a resistividade por quadrado ($\Omega/\square$) tem-se:

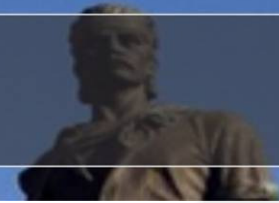
$$R = \rho \frac{L}{A} = \frac{\rho}{t} \frac{L}{W} = \rho_Q \frac{L}{W}$$



- Portanto, os dois resistores abaixo têm a mesma resistência

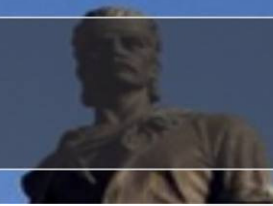


Implementação de Passivos - Resistores



- Tecnologia MOS padrão:
 - de poli-silício (mais estáveis; baixa resistividade)
 - de difusão N ou P (média resistividade)
 - de poço (maior resistividade)
- Tecnologia MOS mixed-signal:
 - poli-silício especial (alta resistividade e boa estabilidade)
- Tecnologias especiais:
 - resistores de filme metálico

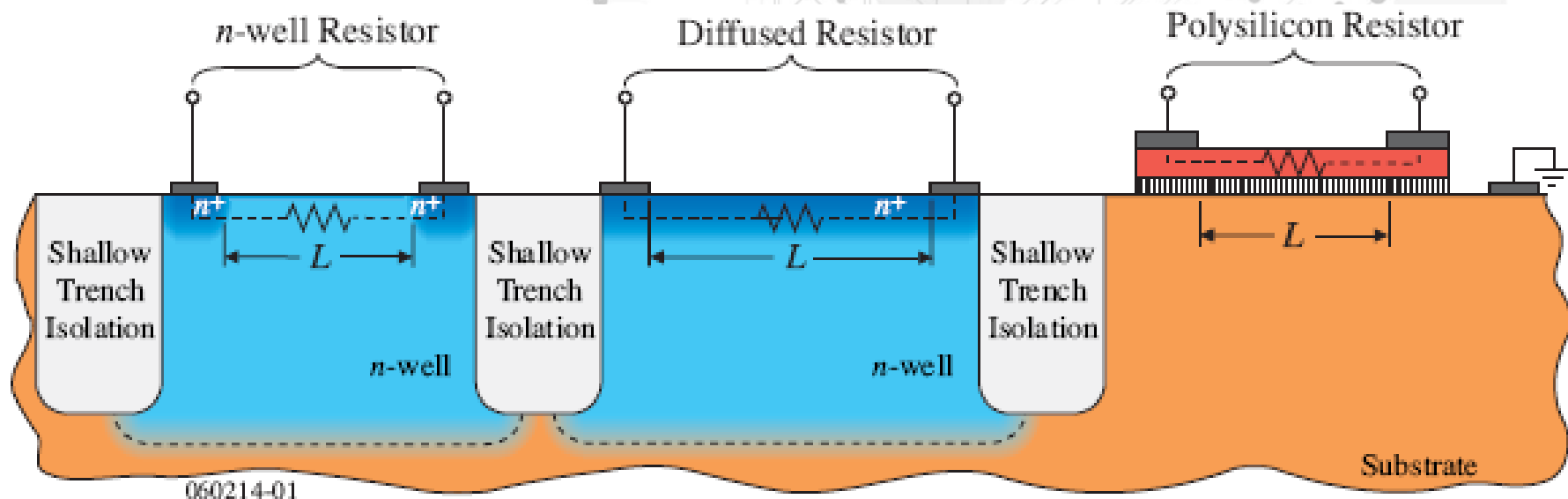
Implementação de Passivos - Resistores



Material	Resistivity $\Omega \cdot \text{cm}$ (25°C)
Copper, bulk	$1.7 \cdot 10^{-6}$
Gold, bulk	$2.4 \cdot 10^{-6}$
Aluminum, thin film	$2.7 \cdot 10^{-6}$
Aluminum (2% silicon)	$3.8 \cdot 10^{-6}$
Platinum silicide	$3.0 \cdot 10^{-5}$
Silicon, N-type ($N_d = 10^{18} \text{ cm}^{-3}$)	0.25
Silicon, N-type ($N_d = 10^{15} \text{ cm}^{-3}$)	48
Silicon, intrinsic	$2.5 \cdot 10^5$
Silicon dioxide (SiO_2)	$\sim 10^{14}$

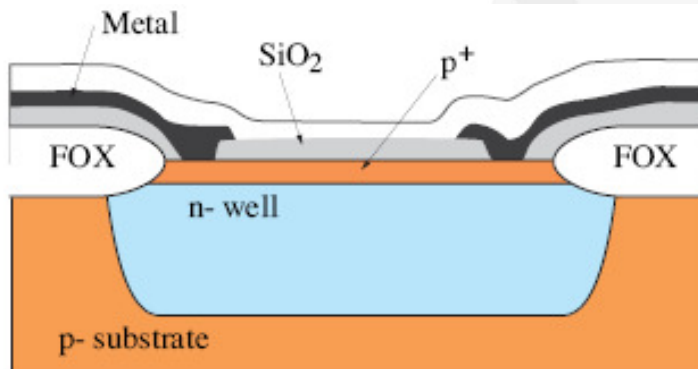
Implementação de Passivos - Resistores

- Resistores implementados em poço N, difusão N⁺ e poli-silício.



Implementação de Passivos - Resistores

Resistores de Difusão



060214-02

Older LOCOS Technology

Diffusion:

10-100 ohms/square

Absolute accuracy = $\pm 35\%$

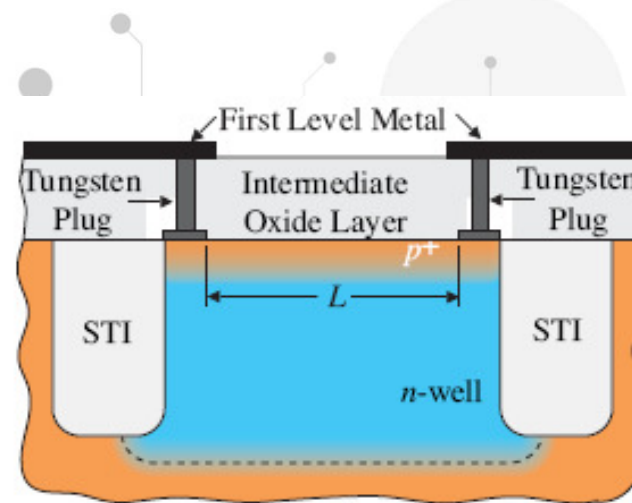
Relative accuracy = 2% ($5\mu\text{m}$), 0.2% ($50\mu\text{m}$)

Temperature coefficient = $+1500 \text{ ppm}/^\circ\text{C}$

Voltage coefficient $\approx 200 \text{ ppm/V}$

Comments:

- Parasitic capacitance to substrate is voltage dependent.
- Piezoresistance effects occur due to chip strain from mounting.



Ion Implanted:

500-2000 ohms/square

Absolute accuracy = $\pm 15\%$

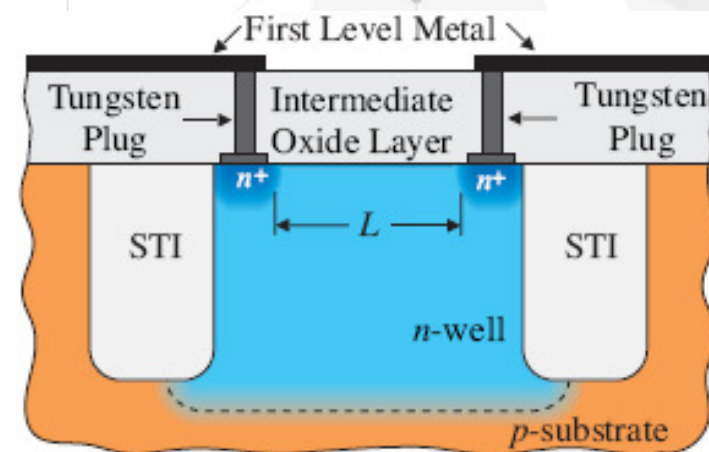
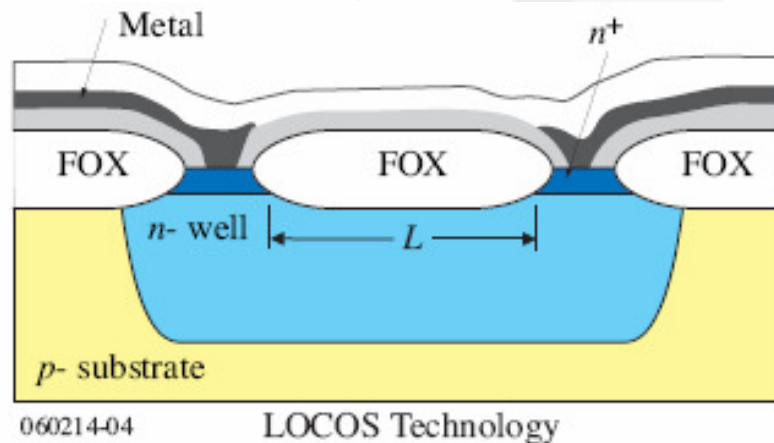
Relative accuracy = 2% ($5\mu\text{m}$), 0.15% ($50\mu\text{m}$)

Temperature coefficient = $+400 \text{ ppm}/^\circ\text{C}$

Voltage coefficient $\approx 800 \text{ ppm/V}$

Implementação de Passivos - Resistores

Resistores de Poço



1000-5000 ohms/square

Absolute accuracy = $\pm 40\%$

Relative accuracy $\approx 5\%$

Temperature coefficient = 4000 ppm/ $^{\circ}\text{C}$

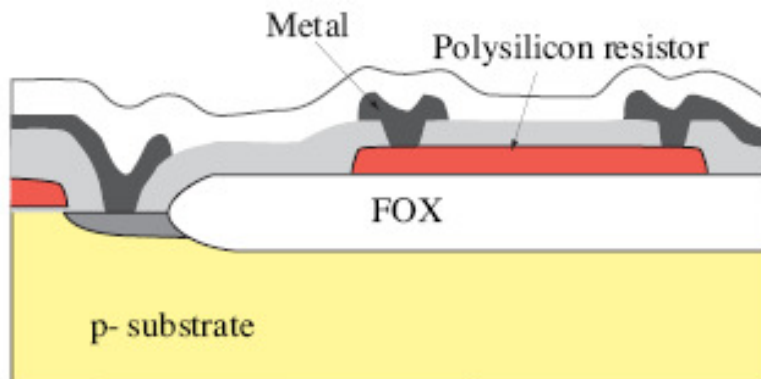
Voltage coefficient is large ≈ 8000 ppm/V

Comments:

- Good when large values of resistance are needed.
- Parasitics are large and resistance is voltage dependent
- Could put a *p*⁺ diffusion into the well to form a pinched resistor

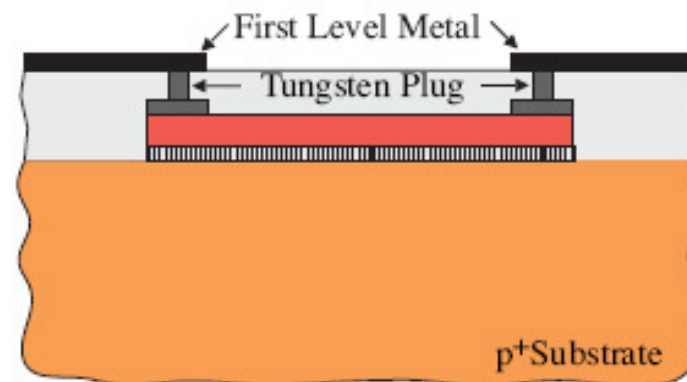
Implementação de Passivos - Resistores

Resistores de Poly-silício



060214-03

Older LOCOS Technology



30-100 ohms/square (unshielded)

100-500 ohms/square (shielded)

Absolute accuracy = $\pm 3.0\%$

Relative accuracy = 2% ($5\ \mu\text{m}$)

Temperature coefficient = 500-1000 ppm/ $^{\circ}\text{C}$

Voltage coefficient $\approx 100\ \text{ppm/V}$

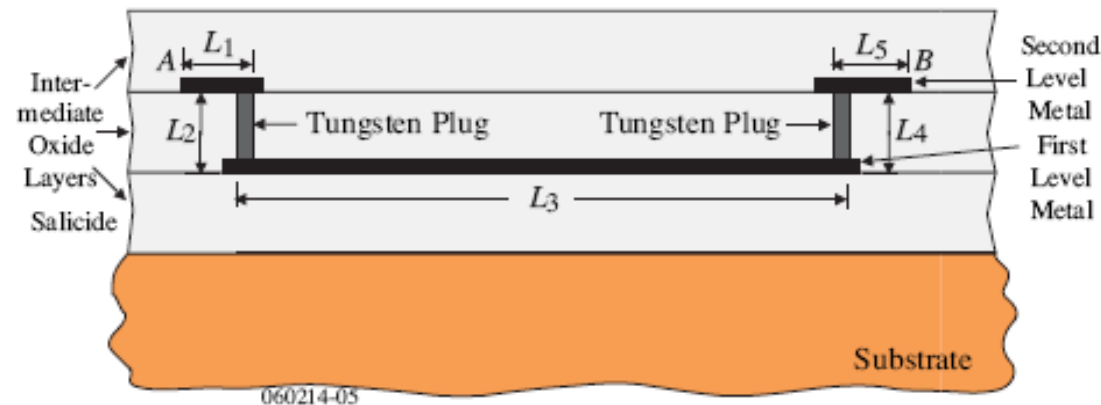
Comments:

- Used for fuzzes and laser trimming
- Good general resistor with low parasitics

Implementação de Passivos - Resistores

Resistores de Metal

Illustration:



Resistance from A to B = Resistance of segments L_1 , L_2 , L_3 , L_4 , and L_5 with some correction subtracted because of corners.

Sheet resistance:

50-70 $\text{m}\Omega/\square \pm 30\%$ for lower or middle levels of metal

30-40 $\text{m}\Omega/\square \pm 15\%$ for top level metal

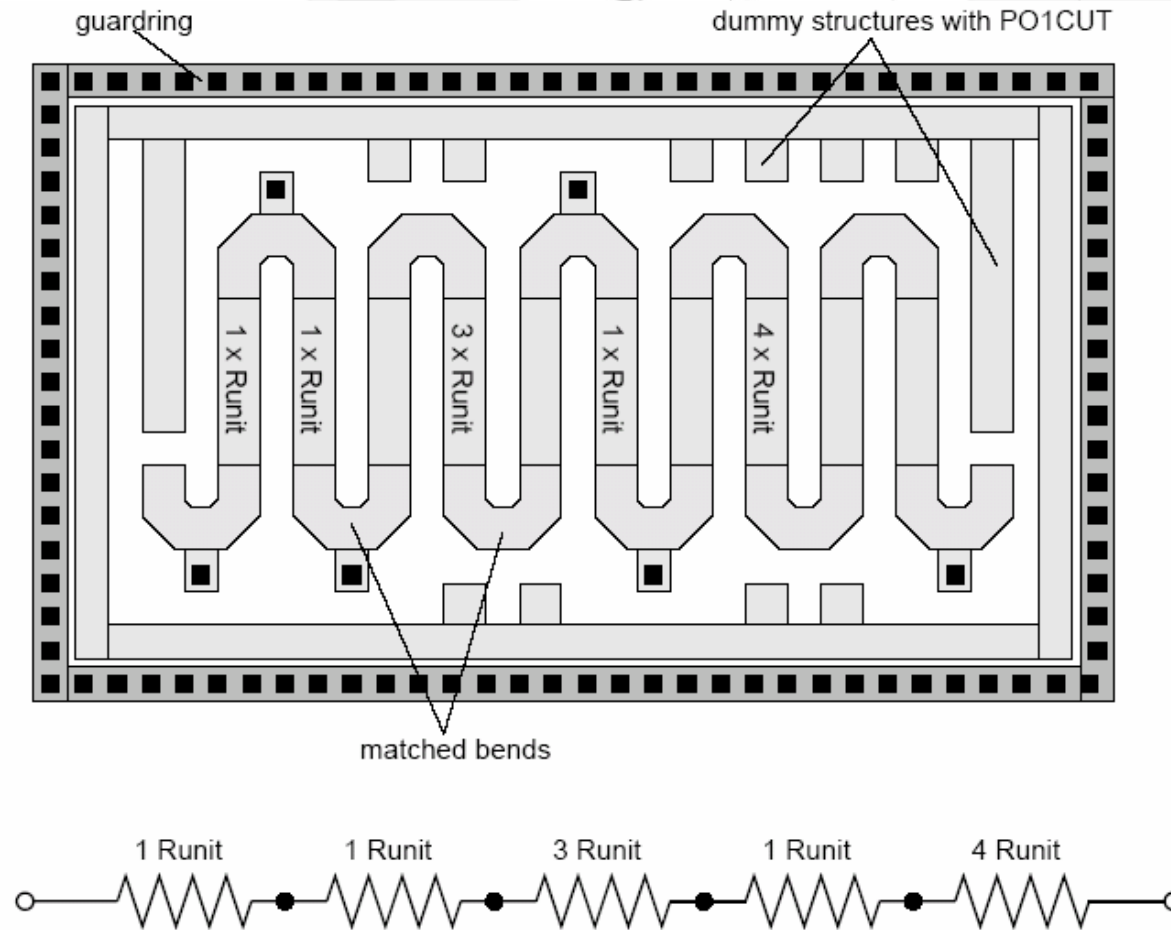
Watch out for the current limit for metal resistors.

Contact resistance varies from 5 Ω to 10 Ω .

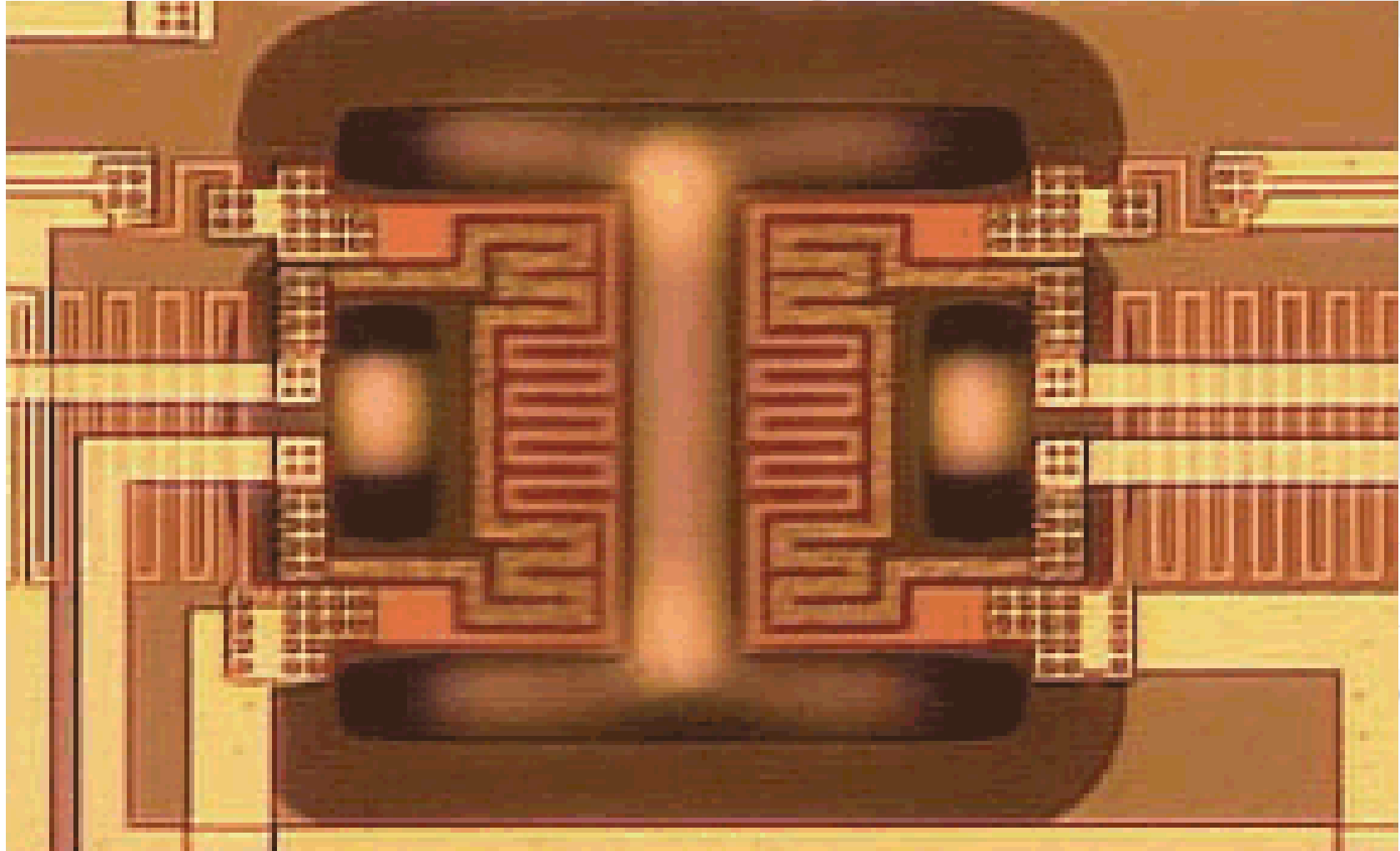
Tempco $\approx +4000 \text{ ppm}/^\circ\text{C}$

Implementação de Passivos - Resistores

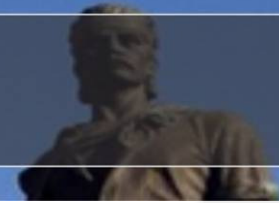
Resistores de Precisão - Layout



Implementação de Passivos - Resistores



Implementação de Passivos - Resistores



CUIDADOS:

- Como a espessura de cada camada é constante, é caracterizado por sua resistância por quadrado ($\Omega/\square$)
- Dependência com a tensão dos resistores de silício
- Dependência térmica
- Capacitâncias parasitas (contra substrato, outras camadas e capacitância lateral)
- Indutâncias parasitas (principalmente em RF)
- Correntes de “fuga” e acoplamentos (anel de guarda!)

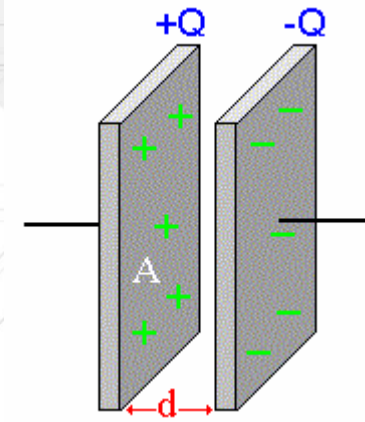
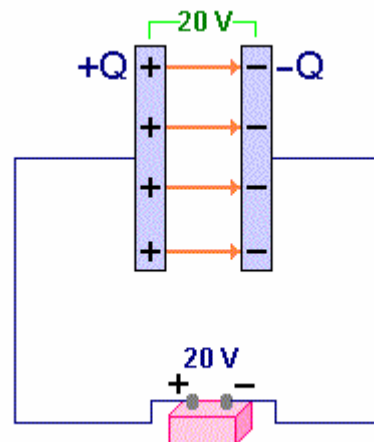
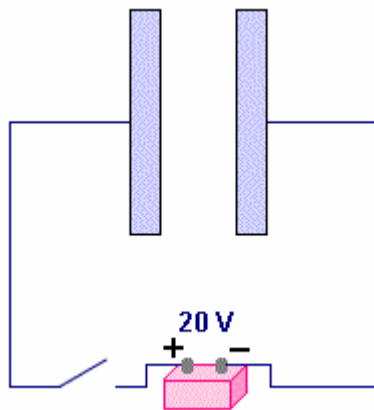
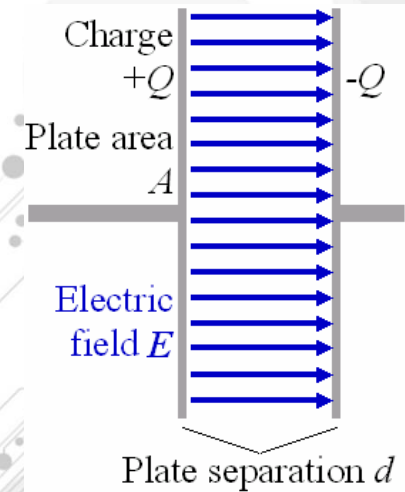
Implementação de Passivos - Capacitores

$$C = \frac{Q}{V}$$

$$i = C \frac{dv}{dt}$$

Capacitor de placas
planas paralelas:

$$C = \epsilon \frac{A}{d}$$



Implementação de Passivos - Capacitores



- Tecnologia MOS padrão:
 - poli-silício / óxido fino / canal invertido (capacitor MOS em inversão forte; alto valor; não-linear)
 - poli-silício / óxido fino / difusão acumulada (capacitor MOS em acumulação; alto valor; média-linearidade)
 - poli-silício / óxido / metal (baixo valor; quase-linear)
 - metal / óxido / metal (MOM vertical: baixíssimo valor; linear – MOM lateral: baixo-médio valor; linear)
- Tecnologia MOS mixed-signal:
 - poli-silício / óxido fino / poli-silício (médio valor; quase-linear)
 - metal / óxido fino / metal (MiM: médio valor; linear)

Implementação de Passivos - Capacitores

- Capacitor MOS da acumulação à inversão forte

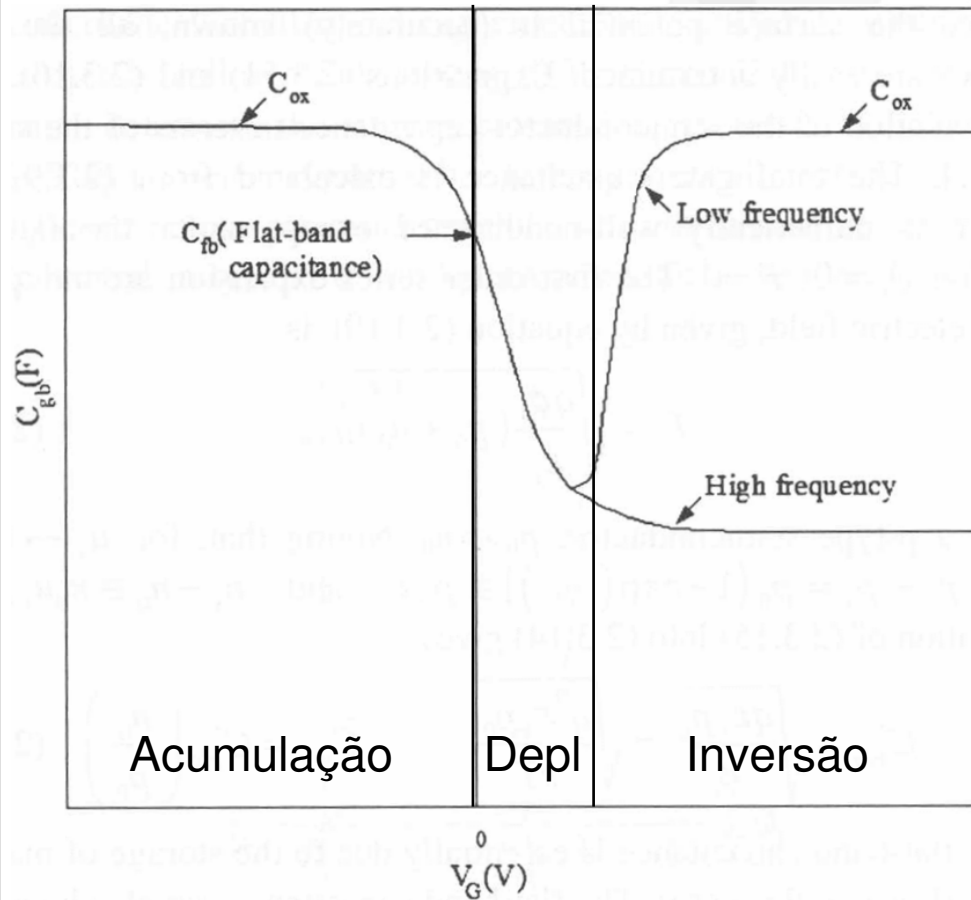
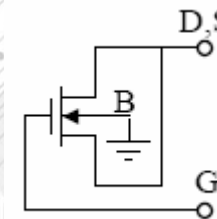
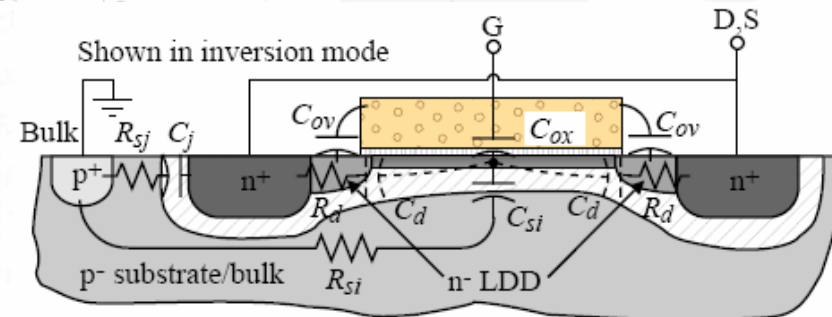


Fig. 2.8 MOS C-V curve. (After [7].)



Implementação de Passivos - Capacitores

- Capacitor Poly-poly

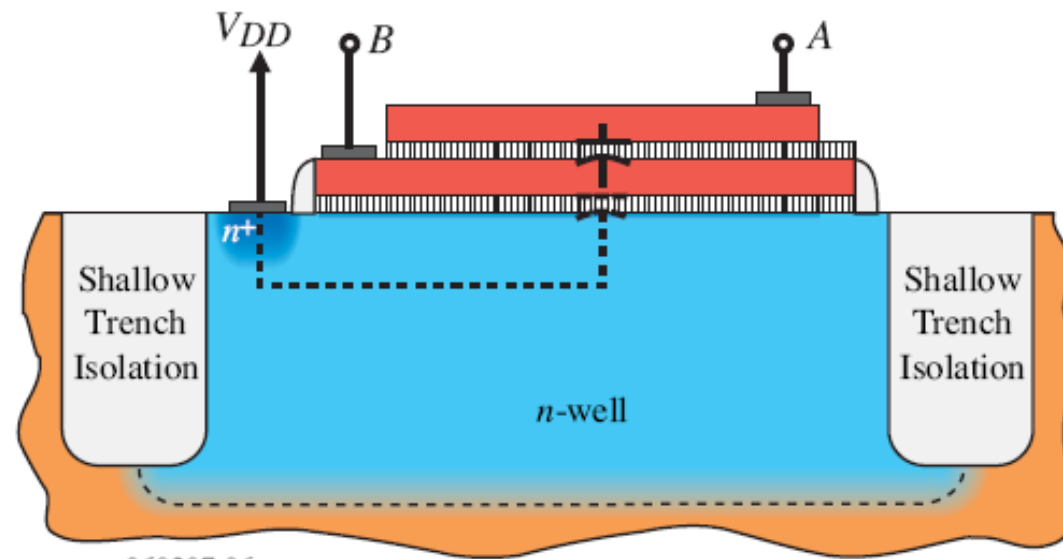
Polysilicon-Oxide-Polysilicon Capacitors:

Absolute accuracy $\approx \pm 10\%$

Relative accuracy $\approx \pm 0.2\%$

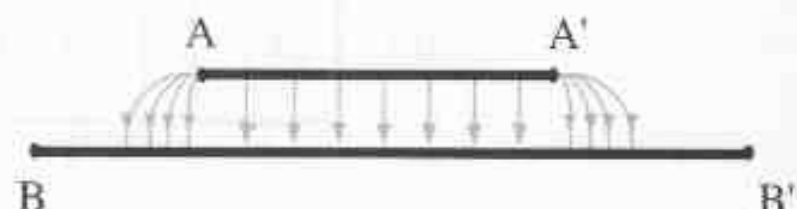
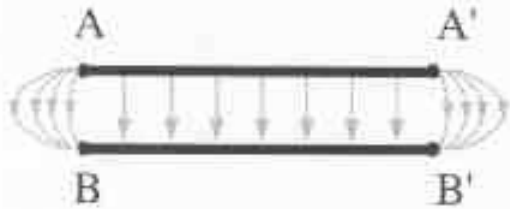
Temperature coefficient $\approx +25 \text{ ppm}/^\circ\text{C}$

Voltage coefficient $\approx -20 \text{ ppm}/\text{V}$

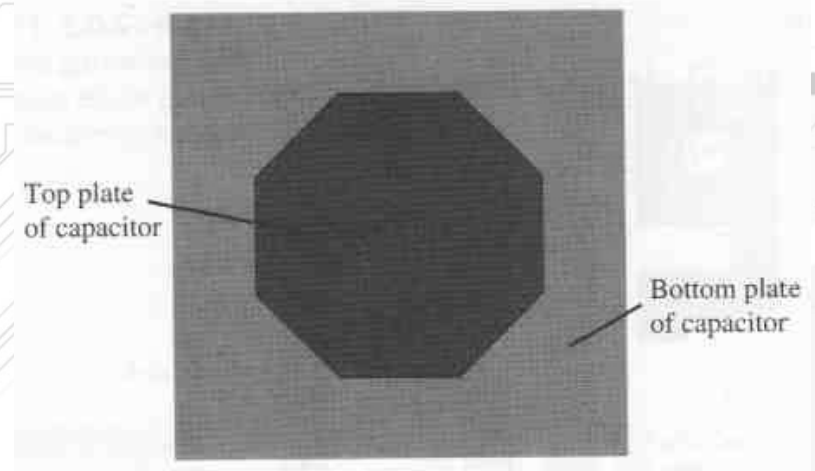
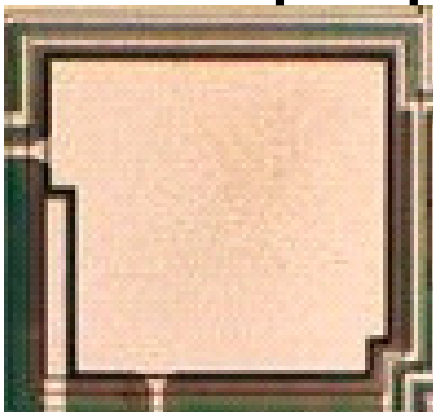


Implementação de Passivos - Capacitores

- O uso de uma das placas com dimensão superior a da outra reduz os efeitos de bordas, tornando o valor do capacitor mais preciso, pois somente variações de dimensão da placa superior (A-A') afetam a capacitância

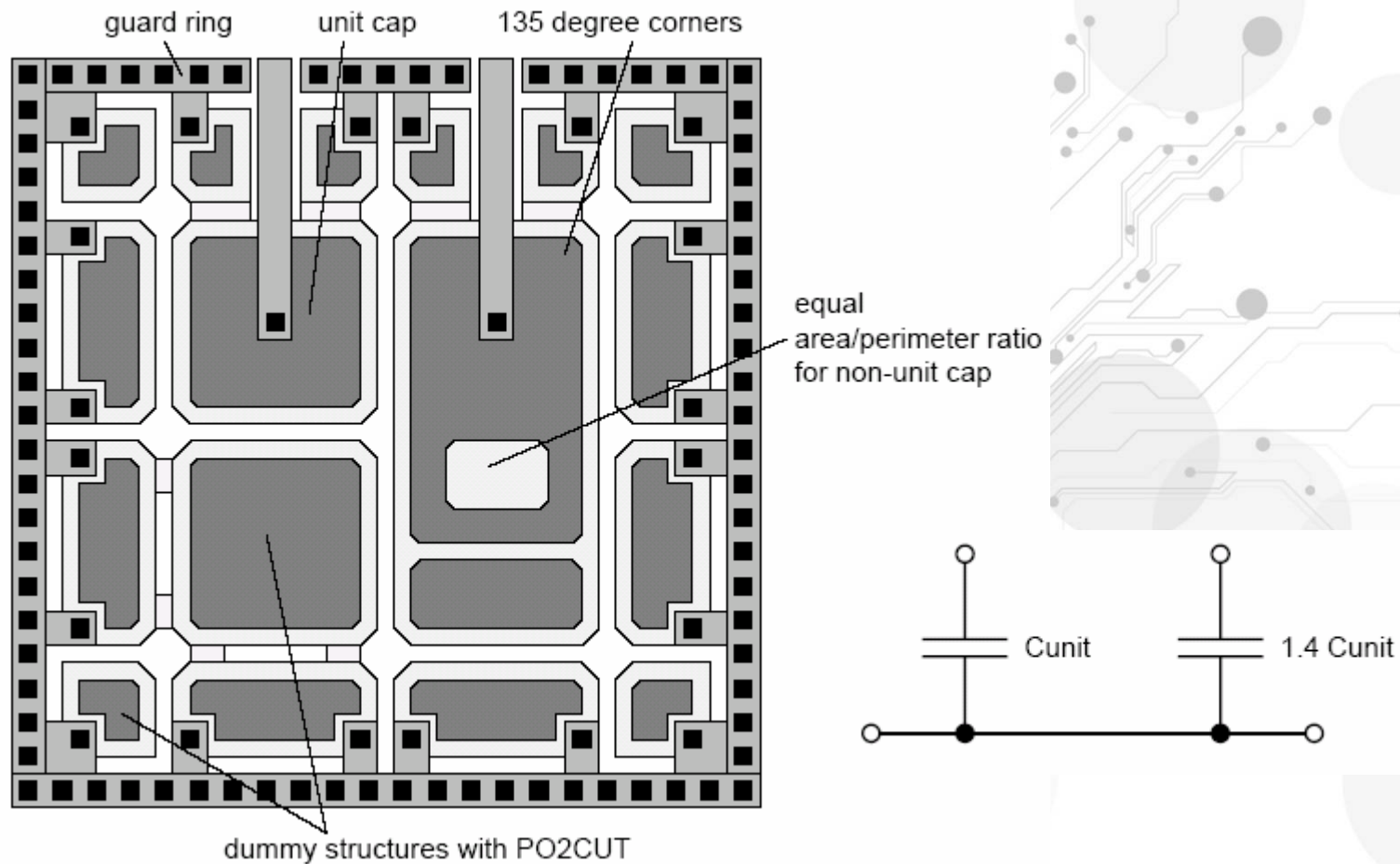


uA741 comp. cap.

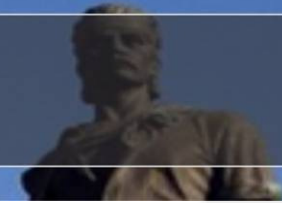


Implementação de Passivos - Capacitores

- Layout de capacitores de precisão



Implementação de Passivos - Capacitores



CUIDADOS:

- Como a espessura de cada camada é constante, é caracterizado por sua capacitância por área ($\text{fF}/\mu\text{m}^2$)
- Dependência com a tensão dos capacitores de silício
- Dependência térmica
- Capacitâncias parasitas (contra substrato e outras camadas; capacitância lateral)
- Resistividade das camadas (crítico em alta frequência)
- Correntes de “fuga” (anel de guarda!)
- Perdas por efeito de borda

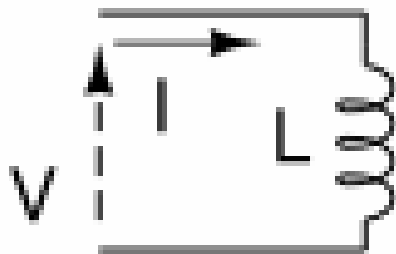
Implementação de Passivos – Resistores/Capacitores

○ Parâmetros típicos de um processo 0.8 μ m

Component Type	Range of Values	Matching Accuracy	Temperature Coefficient	Voltage Coefficient
MOS capacitor	2.2–2.7 fF/ μ m ²	0.05%	50 ppm/°C	50 ppm/V
Poly/poly capacitor	0.8–1.0 fF/ μ m ²	0.05%	50 ppm/°C	50 ppm/V
M1–Poly capacitor	0.021–0.025 fF/ μ m ²	1.5%	—	—
M2–M1 capacitor	0.021–0.025 fF/ μ m ²	1.5%	—	—
M3–M2 capacitor	0.021–0.025 fF/ μ m ²	1.5%	—	—
p ⁺ Diffused resistor	80–150 Ω /□	0.4%	1500 ppm/°C	200 ppm/V
n ⁺ Diffused resistor	50–80 Ω /□	0.4%	1500 ppm/°C	200 ppm/V
Poly resistor	20–40 Ω /□	0.4%	1500 ppm/°C	100 ppm/V
n-Well resistor	1–2 k Ω /□	—	8000 ppm/°C	10k ppm/V

Implementação de Passivos - Indutores

$$L = \frac{\phi}{I}$$
$$v = L \frac{di}{dt}$$



$$L = \frac{N^2 \mu A}{l}$$
$$\mu = \mu_r \mu_0$$

Where,

L = Inductance of coil in Henrys

N = Number of turns in wire coil (straight wire = 1)

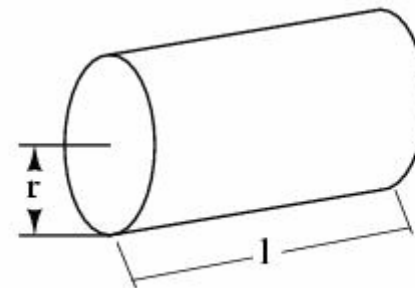
μ = Permeability of core material (absolute, not relative)

μ_r = Relative permeability, dimensionless ($\mu_0=1$ for air)

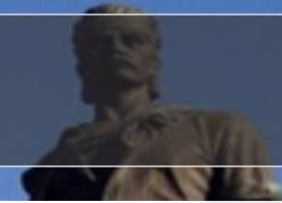
$\mu_0 = 1.26 \times 10^{-6}$ T-m/At permeability of free space

A = Area of coil in square meters = πr^2

l = Average length of coil in meters

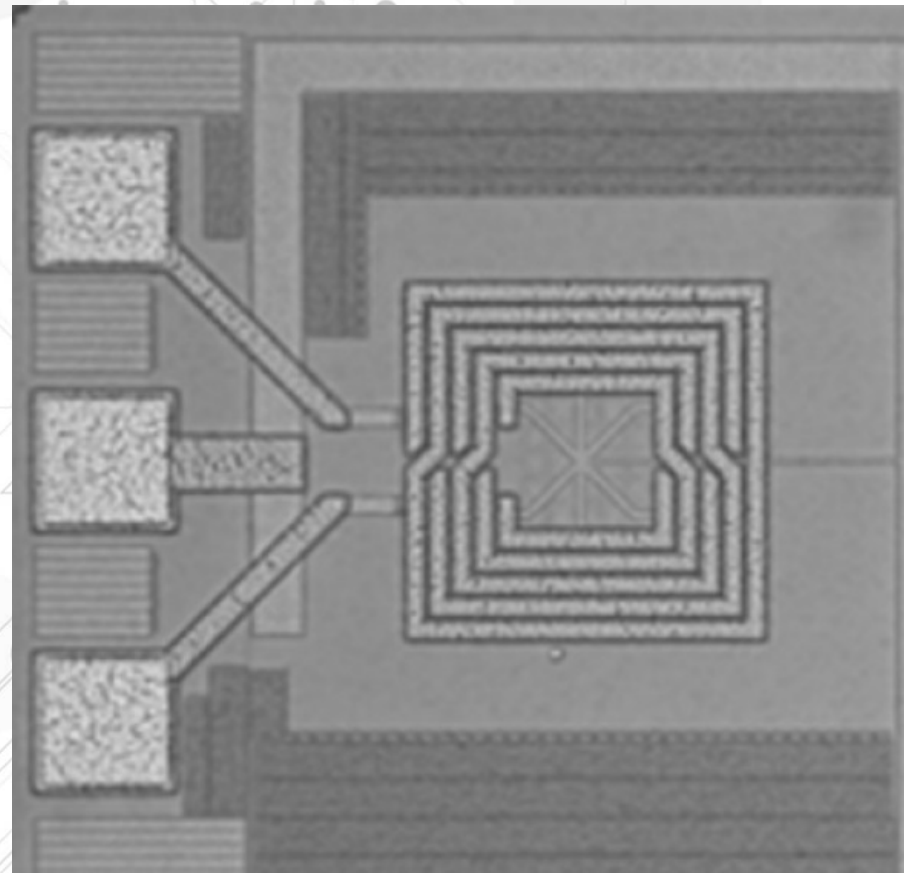
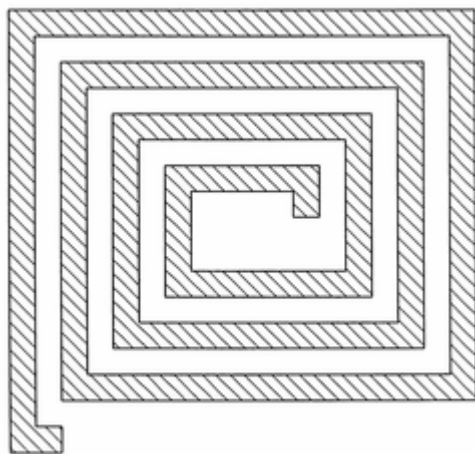
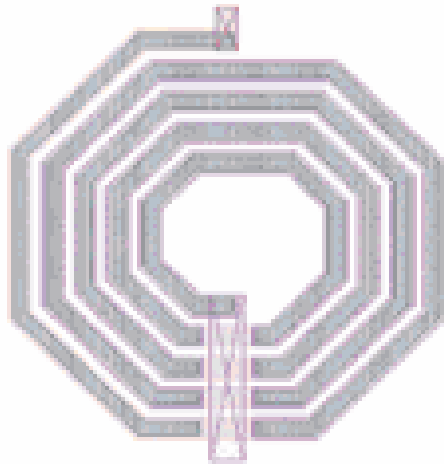


Implementação de Passivos - Indutores



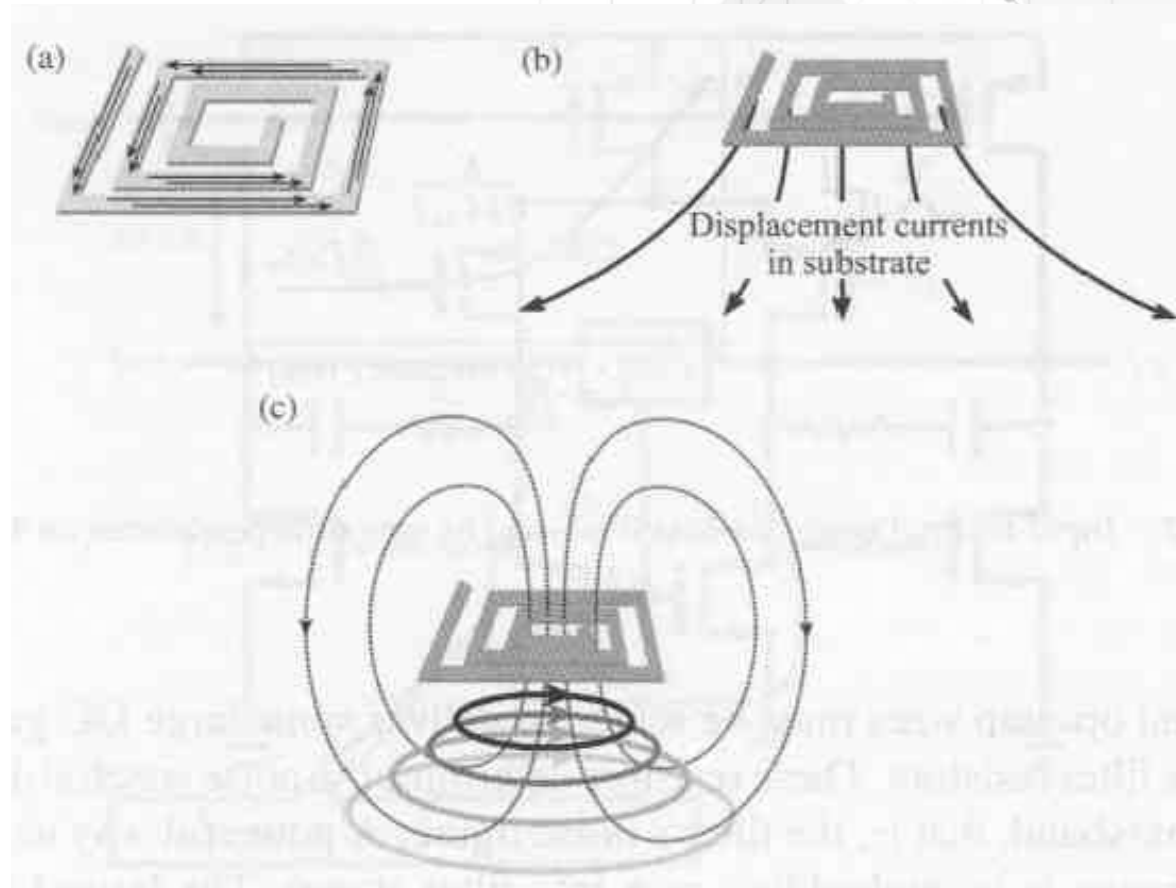
- Tecnologia MOS padrão:
 - Trilha em espiral utilizando 2 ou mais níveis de metal (perdas devido a acoplamento capacitivo e correntes induzidas no substrato)
 - Utiliza-se as camadas superiores de metal: maior condutividade (mais espessas) e maior afastamento do substrato
- Tecnologia MOS para RF:
 - Trilha em espiral utilizando 2 ou mais níveis de metal sobre **região de alta resistividade** (menores perdas por correntes induzidas)

Implementação de Passivos - Indutores



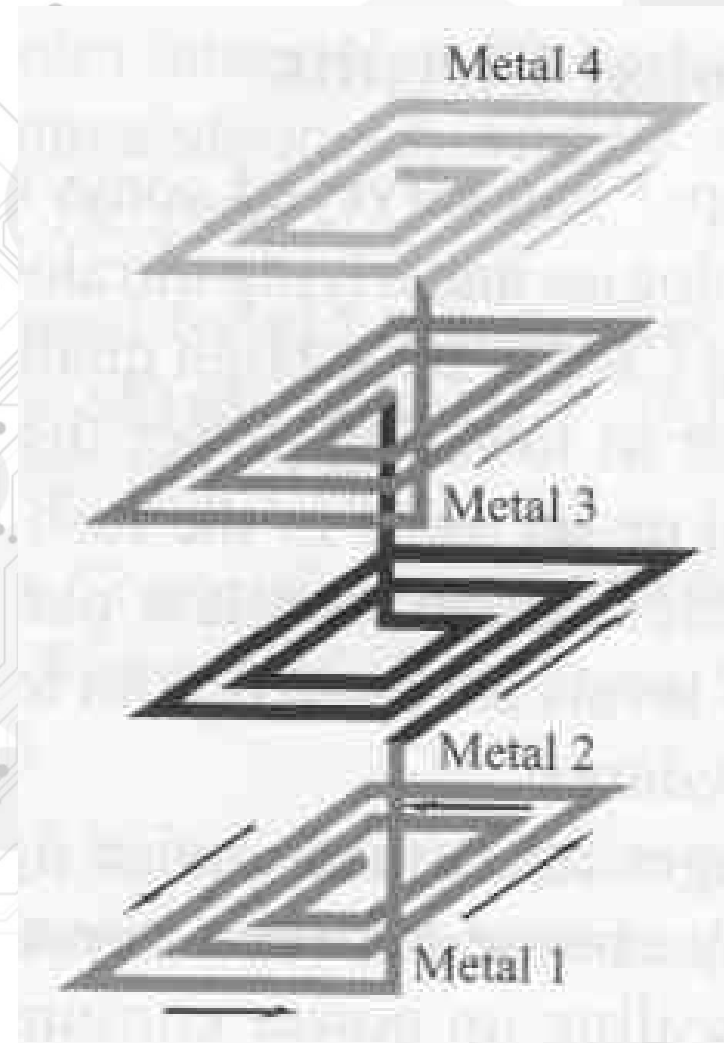
Implementação de Passivos - Indutores

- Perdas por efeito joule (a; resistência do condutor), por fluxo disperso (b) e por correntes induzidas em outro condutor (c; efeito eddy)

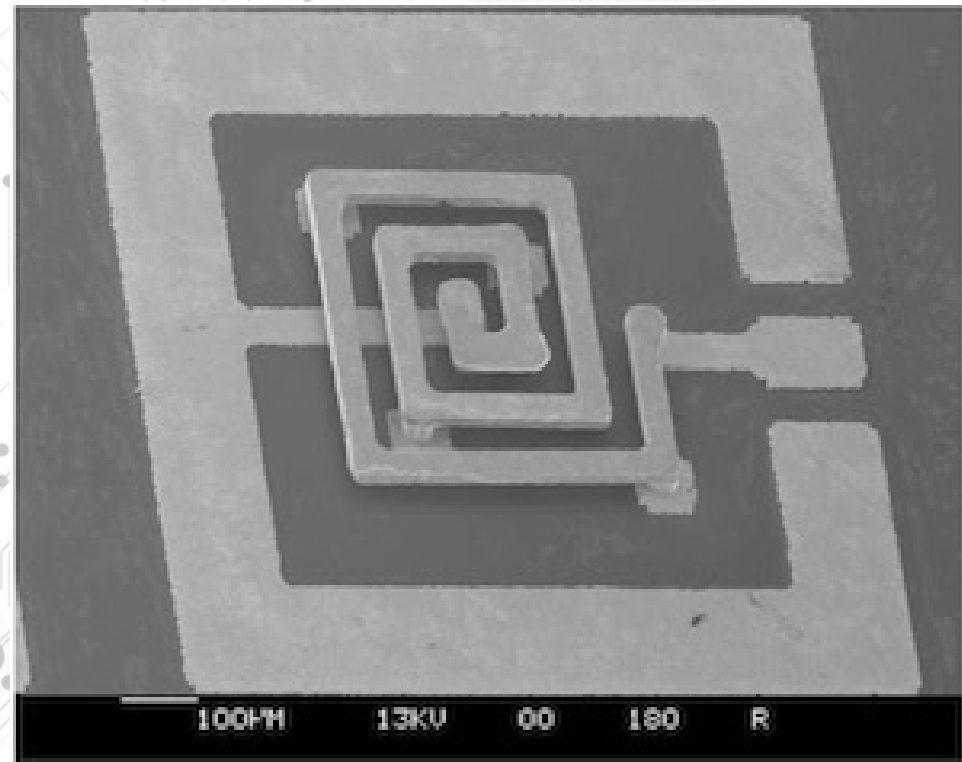
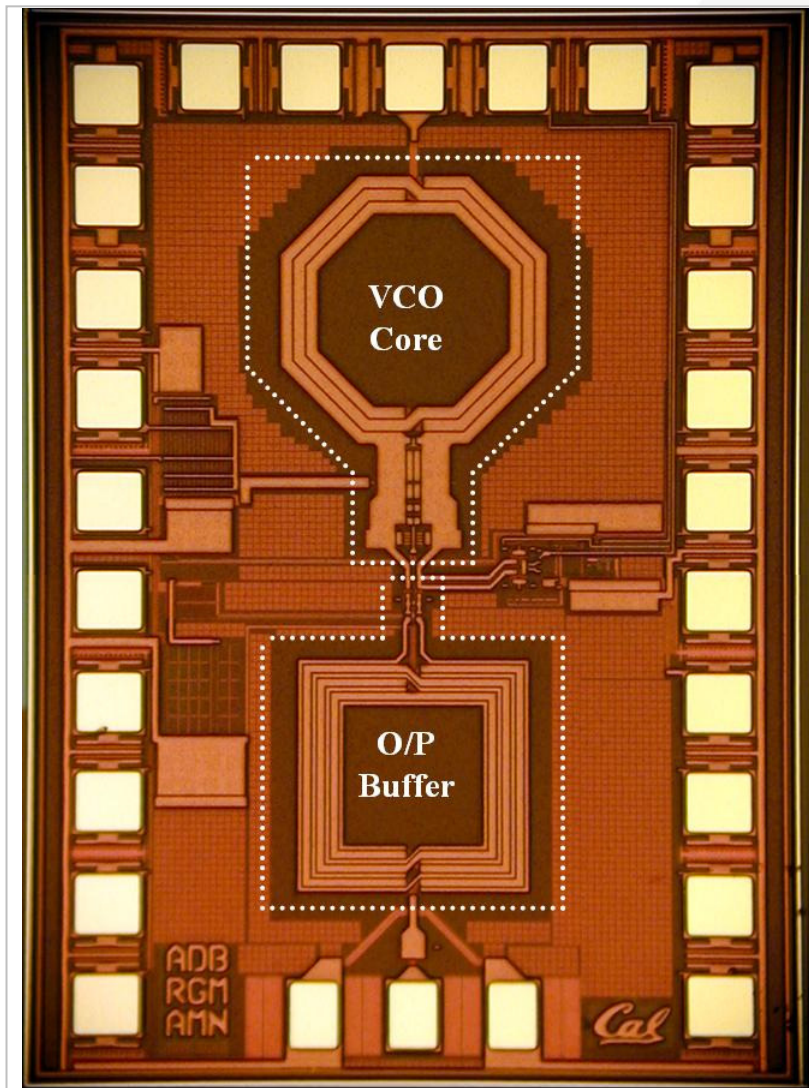


Implementação de Passivos - Indutores

- O empilhamento de vários indutores aumenta a indutância efetiva pelo acoplamento vertical entre eles (mútua indutância)

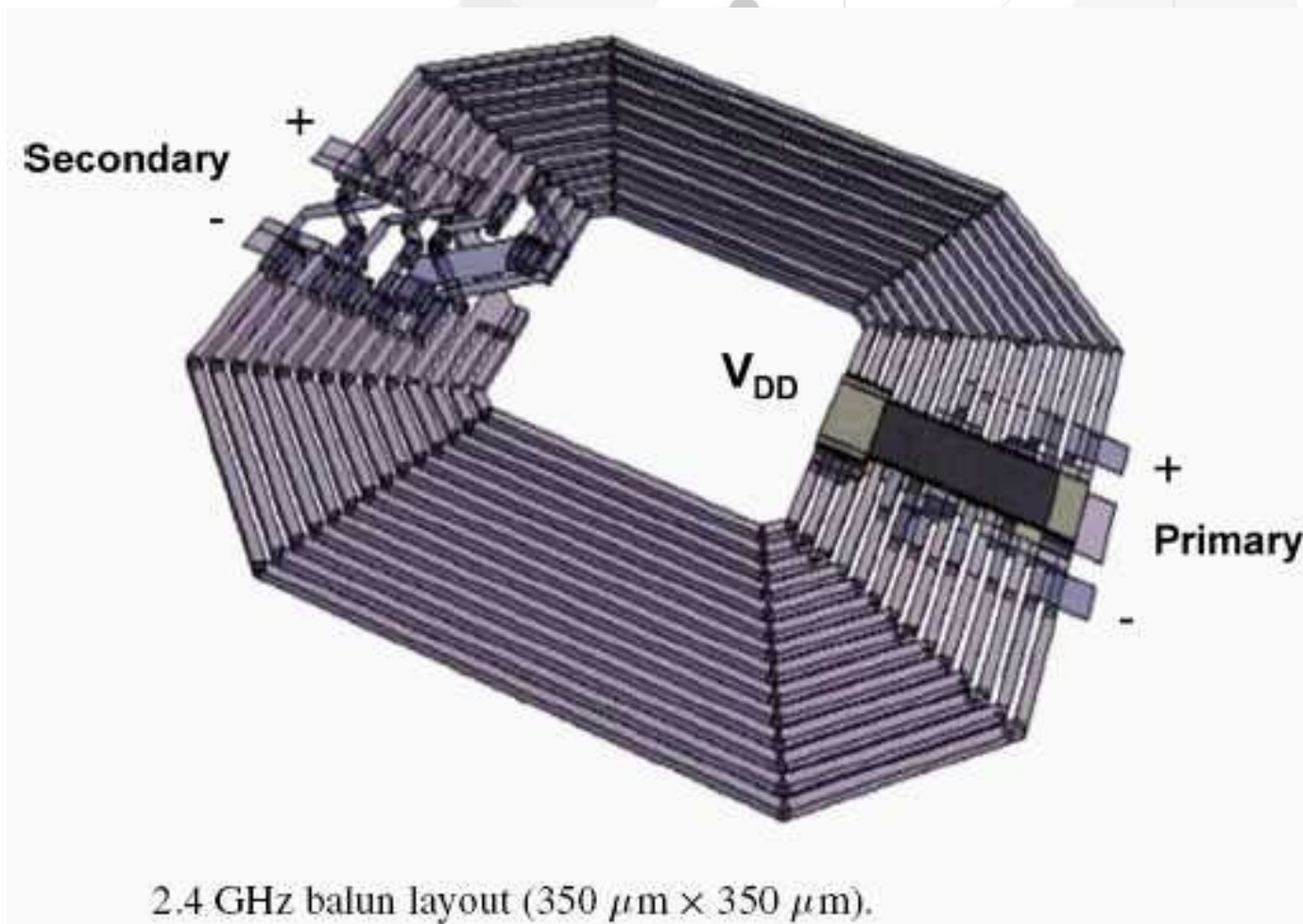


Implementação de Passivos - Indutores



Implementação de Passivos - Indutores

- Transformador integrado (balun – para casamento de impedâncias)



Implementação de Passivos - Indutores



CUIDADOS:

- O valor da indutância depende da geometria utilizada, o que faz com que seu cálculo seja complexo (geralmente usa-se geometrias padronizadas ou um simulador de campos eletro-magnéticos)
- Acoplamento indutivo com outras partes do circuito: indução ou captação de ruído (cross-talk) → realimentação indesejada
- Cantos “vivos” favorecem perdas: utilizar retas em 45° ou curvas (raras tecnologias oferecem)
- Capacitâncias parasitas (contra substrato e outras camadas)
- Resistividade do condutor (reduz o fator de qualidade - Q)
- Resistividade dos contatos ou vias
- Camadas superiores de metal são mais espessas (menos perdas joule) e mais afastadas do substrato (menos perdas eddy)

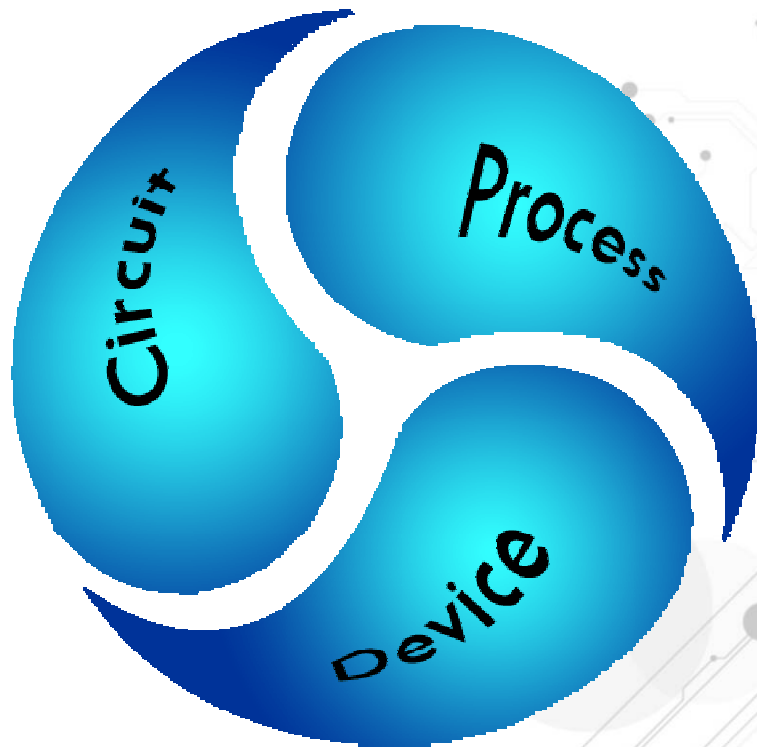
Sumário

- Introdução
- Características do Projeto Analógico
- Desafios no Projeto Analógico
- Implementação de Passivos
- **Fluxo de Projeto**
- Exemplo: amplificador MOS
- Desafios Futuros

Concepção Inicial

- Surge uma **idéia** ou **necessidade** relacionada a uma aplicação específica, definindo um **produto**





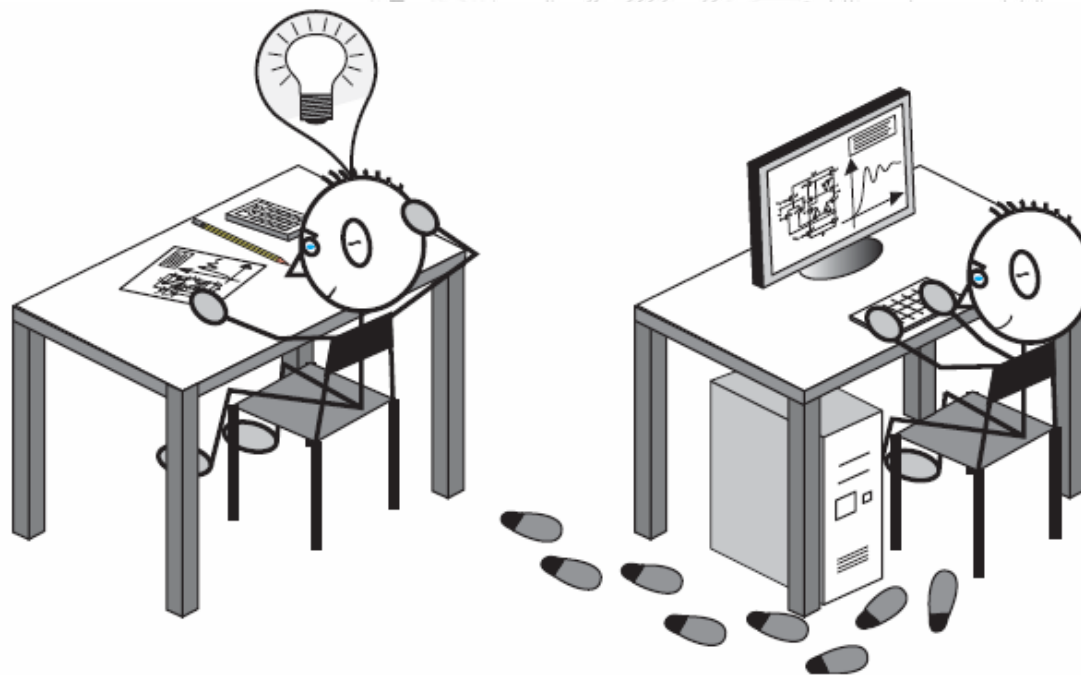
- Um **Circuito Integrado Analógico** é composto por **dispositivos** que formam um **circuito**, o qual é fabricado em um **processo**.
- Seu desempenho resulta da correta associação destes 3 aspectos.

Concepção Inicial

- **DISPOSITIVO: elemento funcional mínimo** que estabelece uma relação entre tensões e correntes ($V \times I$); pode ser ou não linear; pode depender ou não da frequência (transistor, resistor, capacitor, indutor, diodo, etc).
- **CIRCUITO: forma como os dispositivos são eletricamente interligados**; a associação do comportamento elétrico de cada dispositivo com outros resulta em comportamentos mais complexos (funções).
- **PROCESSO: estratégia industrial** utilizada para se fabricar um circuito integrado; diferenciados por tipo de transistor (MOS, Bipolar), tipos de elementos passivos (resistores, capacitores e indutores), tamanho mínimo de dispositivos fabricáveis (escala de integração).

Desenvolvimento – topologia e circuitos

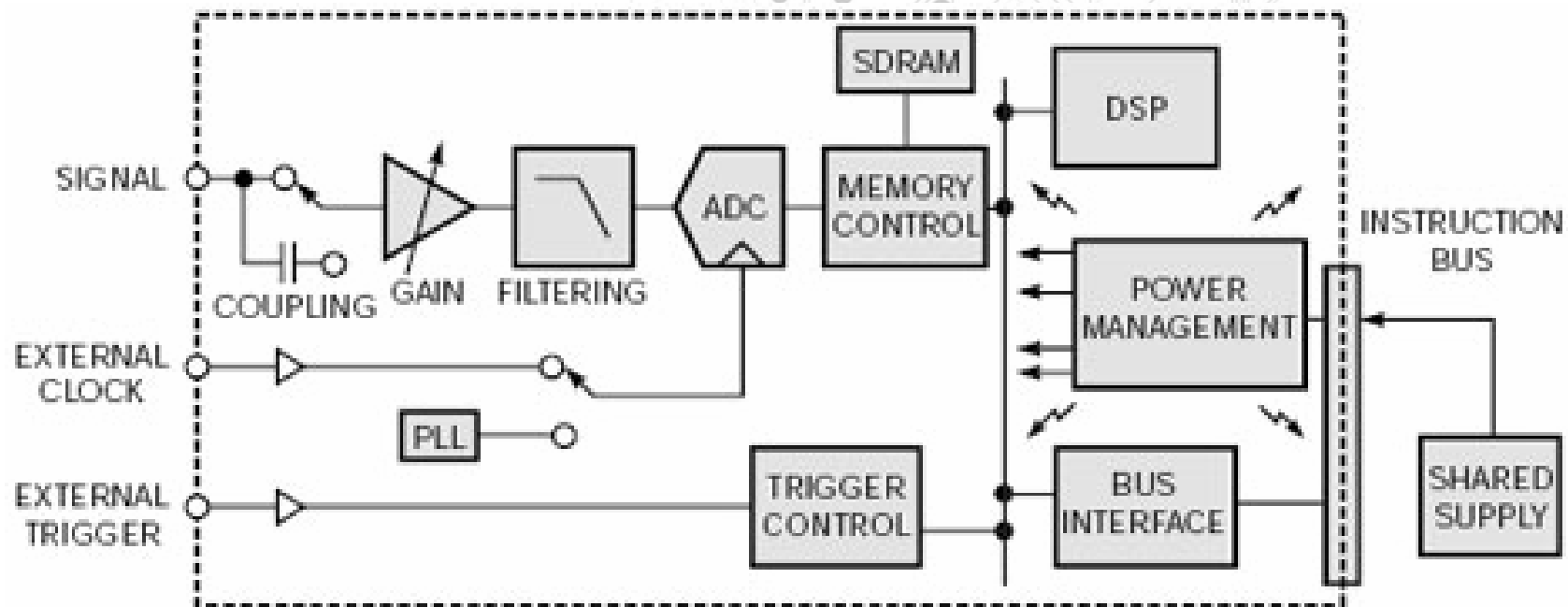
- **Especificações técnicas** defininem as condições de operação de cada circuito (restrições, comportamentos, funções, etc)
- O desenvolvimento dos **circuitos** é feito em conjunto com a definição dos **dispositivos** e **processos** que serão utilizados na sua fabricação



Desenvolvimento – Sistema

- As especificações técnicas dão origem a uma visão geral do projeto, chamada SISTEMA, onde cada parte desempenha uma função

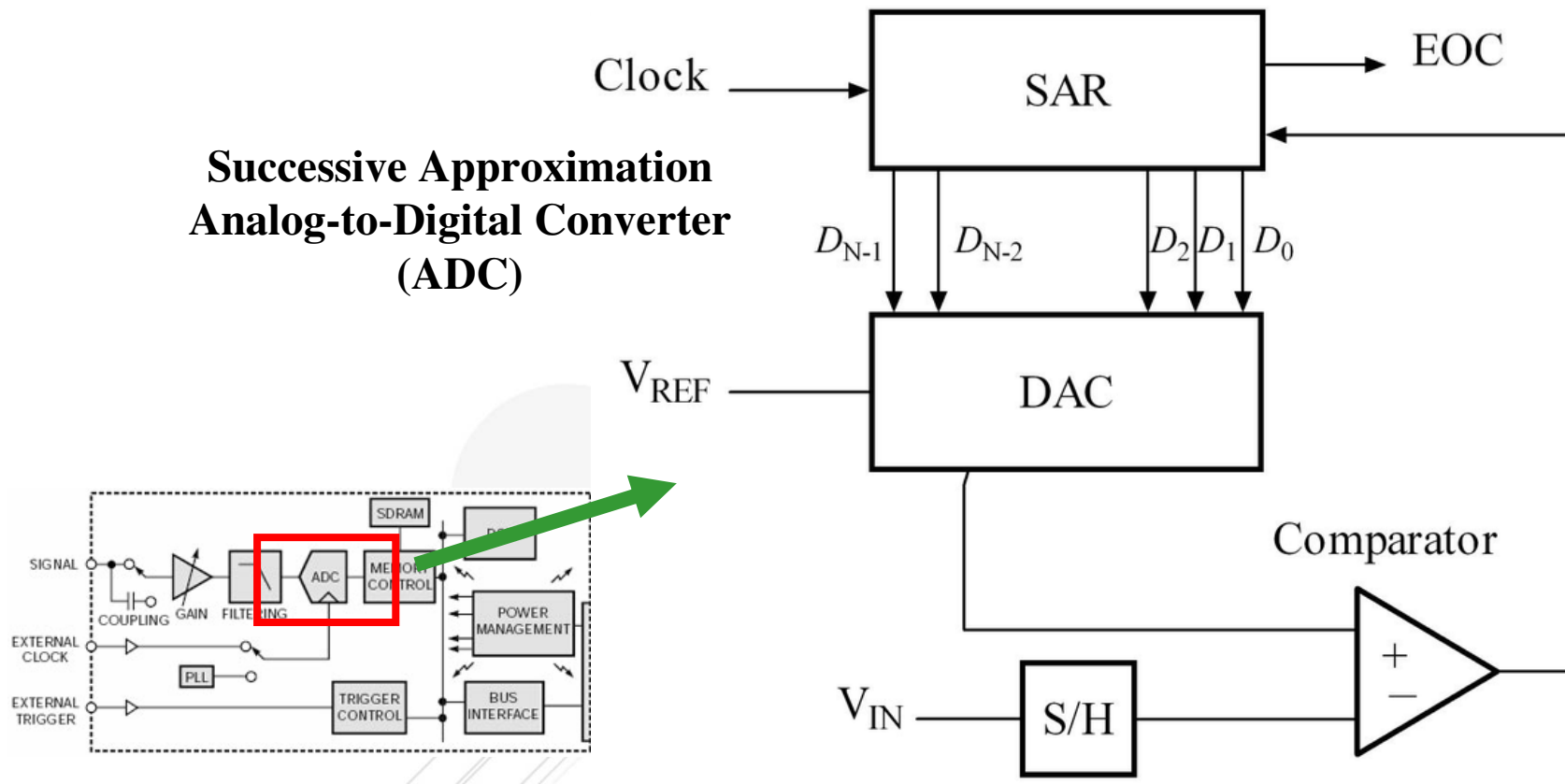
Analog Data Acquisition System-on-Chip (SOC)



Desenvolvimento – Blocos

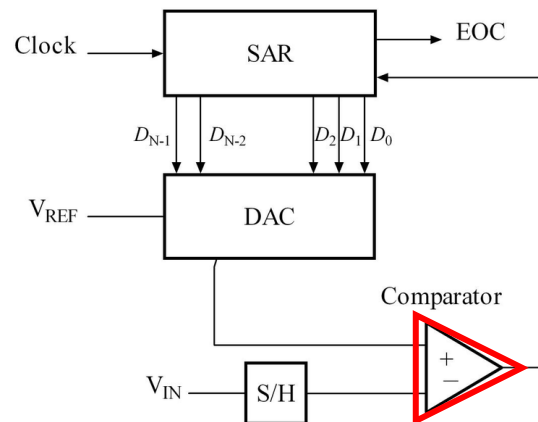
- Cada parte do sistema é concebida na forma de um DIAGRAMA EM BLOCOS, composto por módulos com funções específicas

Successive Approximation Analog-to-Digital Converter (ADC)

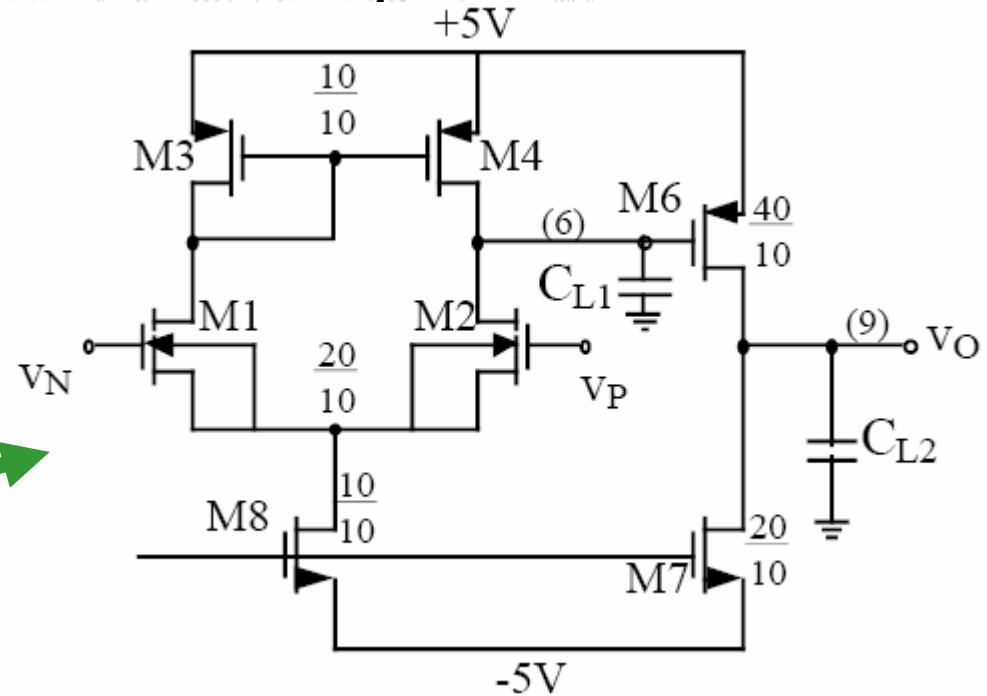


Desenvolvimento – Circuitos

- Cada módulo dá origem a um CIRCUITO, que é projetado conforme as especificações correspondentes
- O projetista **define a topologia** mais adequada, **elabora o circuito** e **dimensiona seus componentes** de forma a atender às especificações técnicas (pré-projeto à mão)

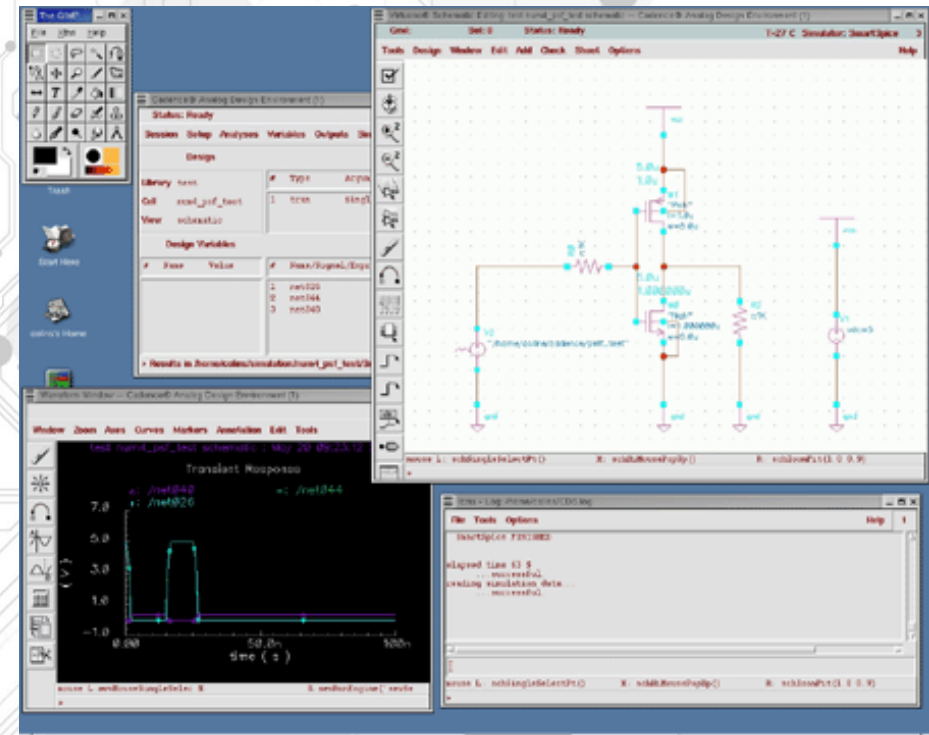


Comparator circuit



Desenvolvimento – CAD

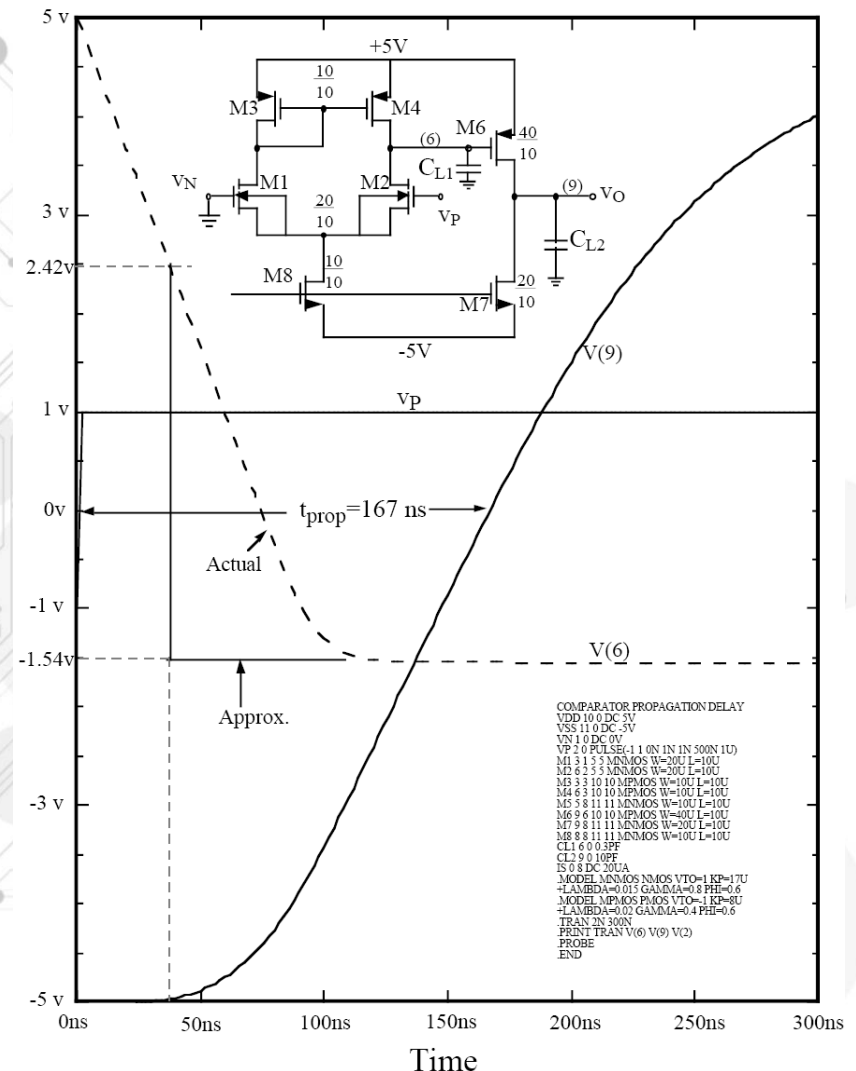
- **Ferramentas de CAD** (computer aided design) auxiliam nas atividades de:
 - edição de esquemático
 - simulação funcional
 - simulação elétrica
 - edição de layout
 - extração de parasitas
 - verificação LVS (layout versus schematic)
 - verificação DRC (design rule check)
 - simulação de variabilidade
- O **design kit** (PDK) fornecido pela *foundry* relaciona estas atividades ao processo de fabricação



Desenvolvimento – Simulação

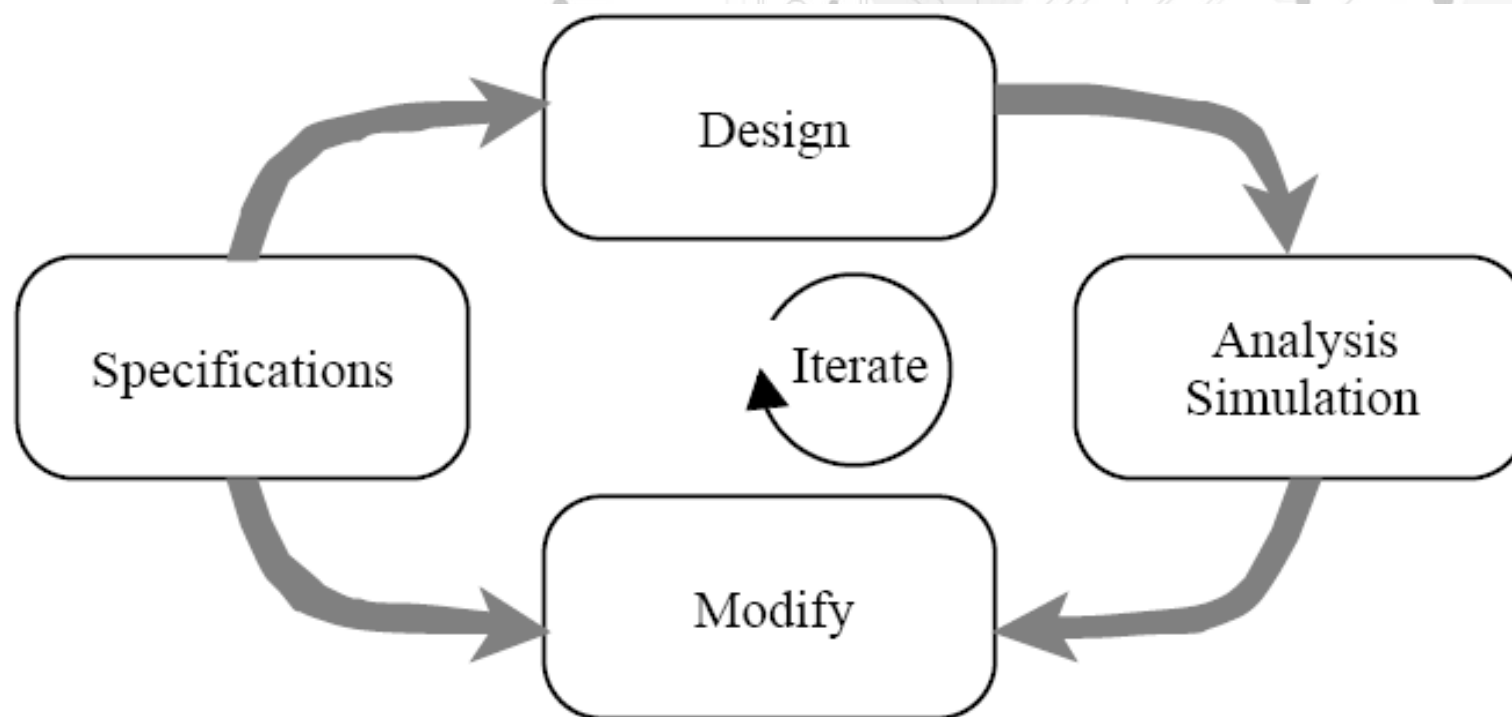
- Cada circuito é **simulado**, usando-se os parâmetros fornecidos pela *foundry* (indústria que fabrica CIs) para o processo-alvo (*design kit*)

SIMULATION OF THE PROPAGATION DELAY



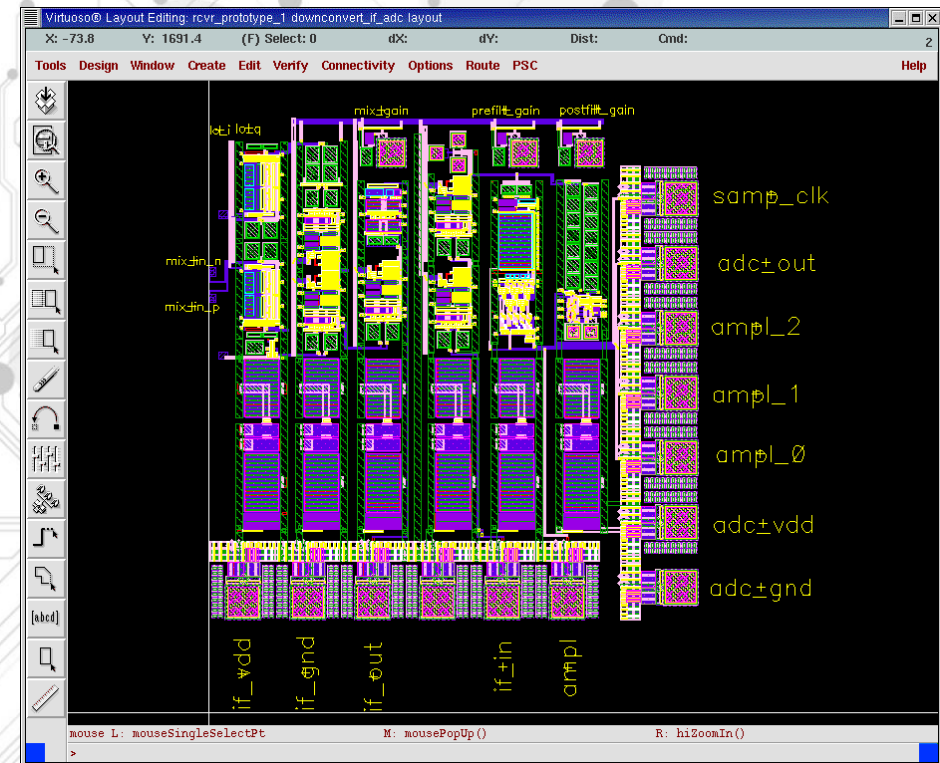
Desenvolvimento – Modificação

- As etapas de **projeto**, **simulação** e **modificação** são repetidas até que se chegue a um circuito que atenda às especificações pretendidas



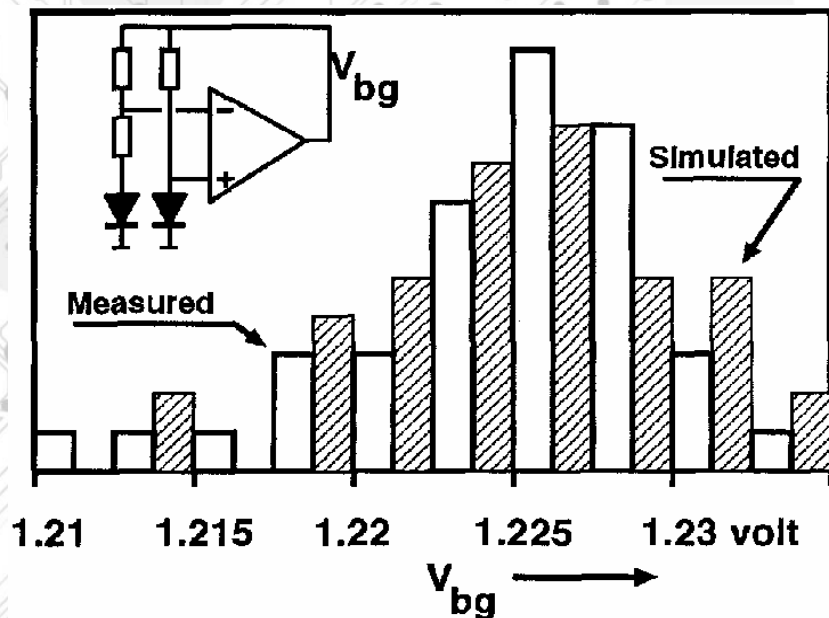
Desenvolvimento – Layout

- Os componentes do circuito são desenhados através de retângulos, representando a camadas do processo escolhido, resultando no *layout*
- Regras de layout são verificadas (DRC)
- Conformidade com o esquemático é verificada (LVS)
- Efeitos parasitas são extraídos e incluídos no esquemático para simulações mais fiéis à implementação final



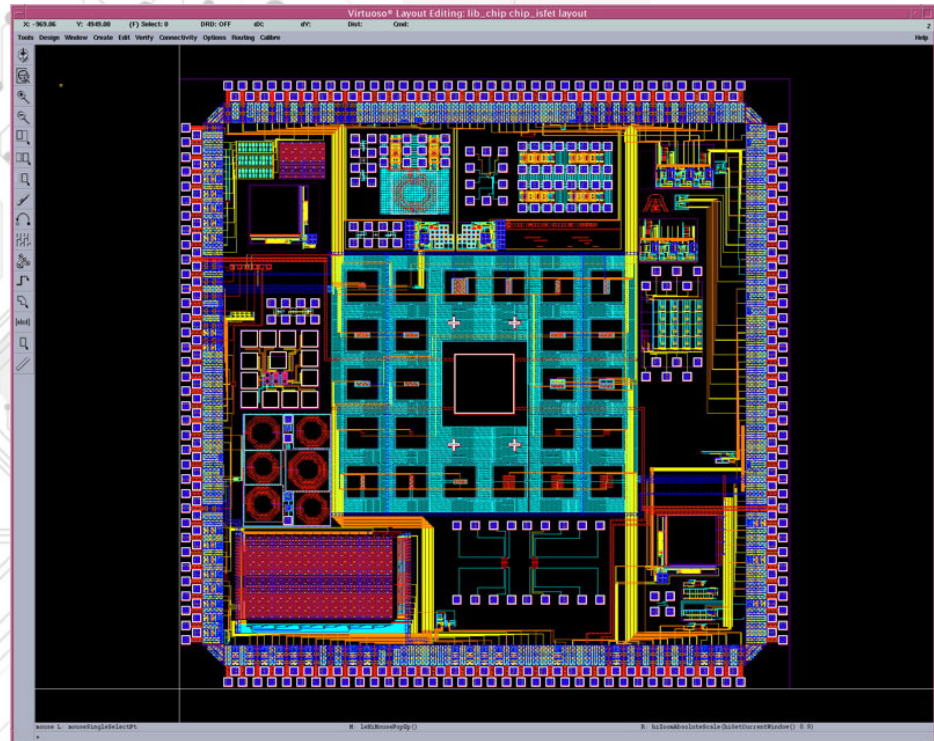
Desenvolvimento – Variabilidade e Robustez

- Análise de variabilidade é feita através de simulações tipo:
 - Monte Carlo
 - Corner
- Busca-se garantir a robustez do circuito, verificando sua sensibilidade às variações incontroláveis do processo de fabricação.
- Reflete a produtividade (yield) de um processo de fabricação de CIs



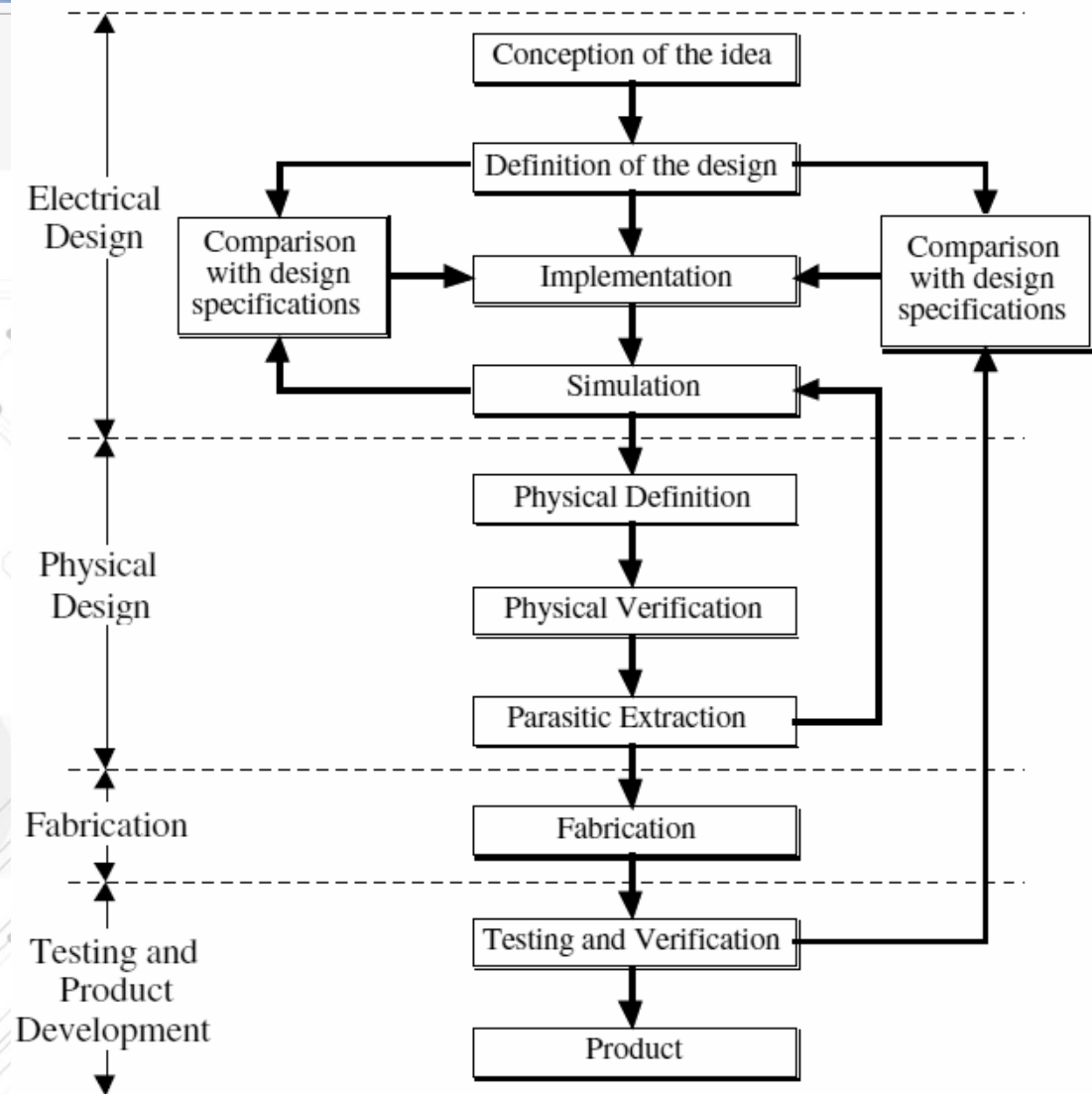
Desenvolvimento – Layout Final

- O resultado final é um desenho, em formato eletrônico (GDS – *graphic data system*), que define as dimensões e a posição de cada retângulo desenhado em cada nível
- Este *layout* será usado pela *foundry* na produção das máscaras de cada etapa do processo de fabricação do CI
- O processo de validação é feito extraindo-se parasitas de partes do layout, e simulando estas partes primeiro separadamente, e depois integrando-as em blocos maiores



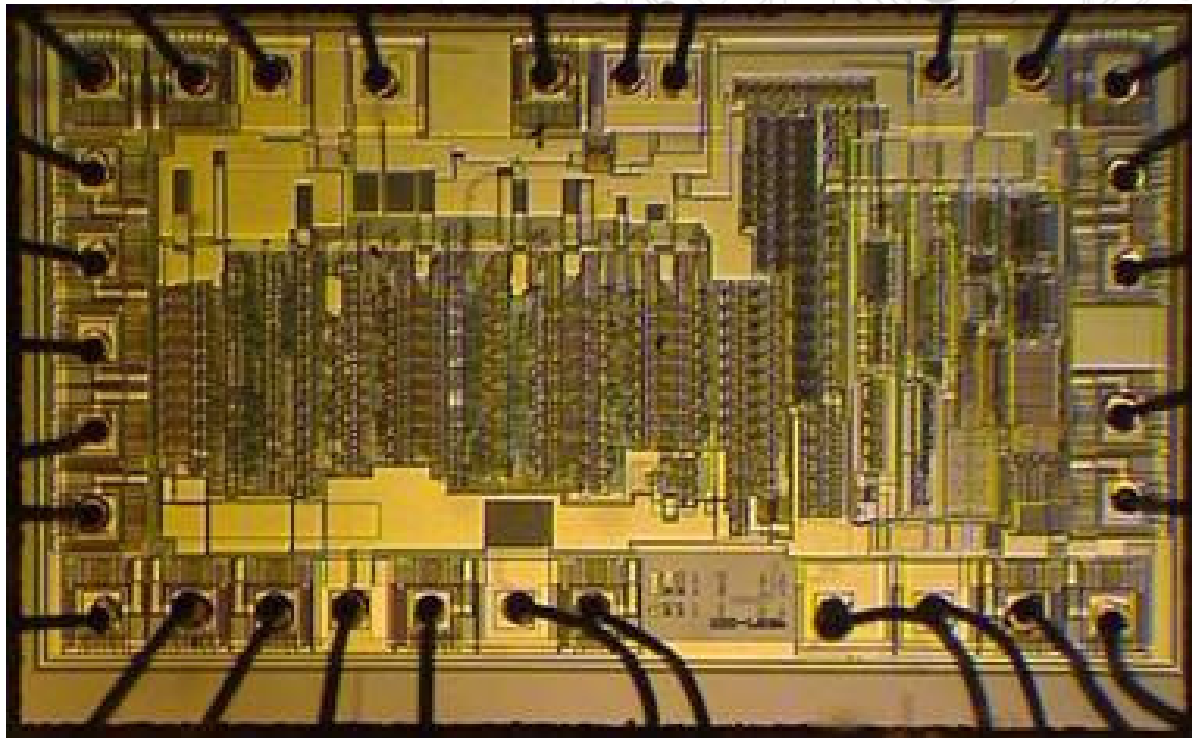
Desenvolvimento – Prototipação

- O layout final é **prototipado** (fabricado em pequena quantidade para teste)
- Os protótipos são **testados** (elétrica e funcionalmente)
- **Correções** são feitas
- Quando passar na verificação final, o **produto** entra em fabricação (lote piloto)



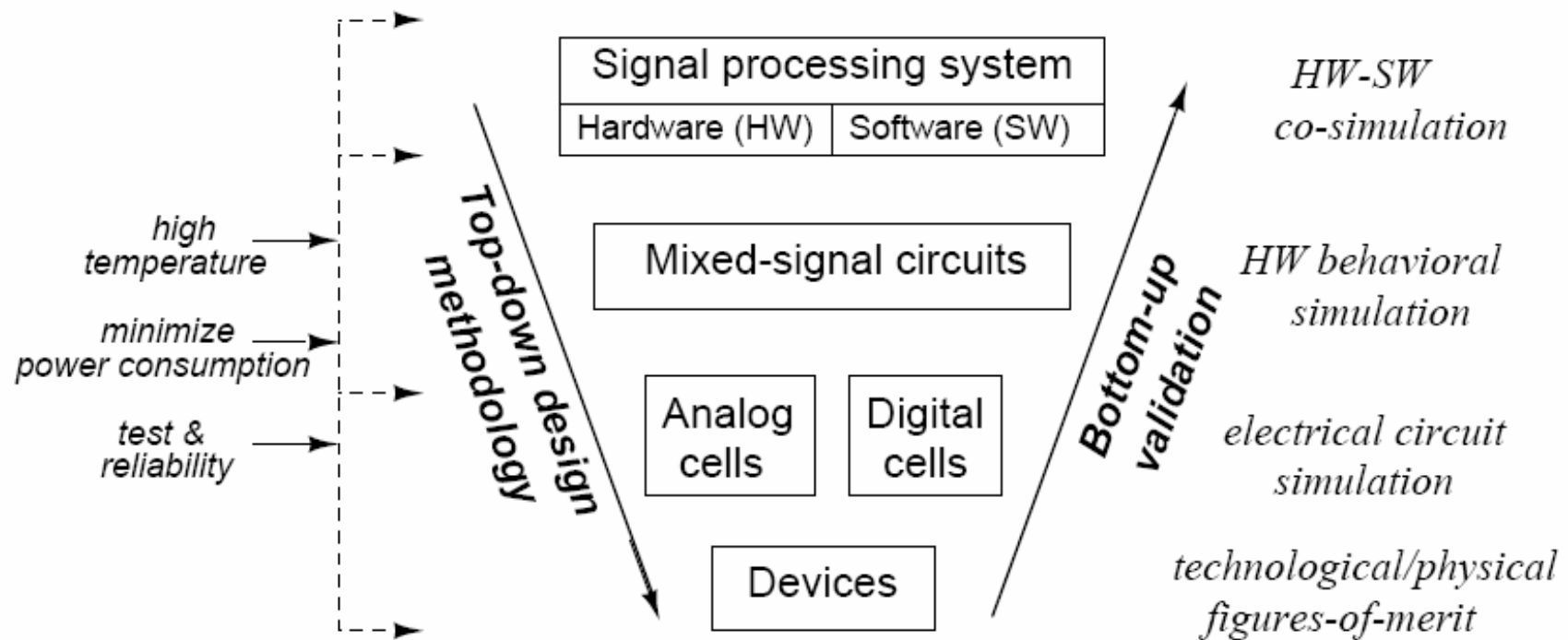
Desenvolvimento – Padframe

- Na periferia do layout é desenhada uma sequência de áreas de metal retangulares (*pads*), que servirão de área de soldagem dos fios para conexão externa do circuito
- Nos *pads* podem ser colocadas proteções contra descargas eletrostáticas, *buffers*, registradores, amplificadores, etc



Desenvolvimento – Projeto vs Validação

- O fluxo de projeto é top-down, partindo da concepção macro, até a definição das menores estruturas
- O fluxo de validação é bottom-up, a partir da simulação elétrica de células, até a co-simulação HW-SW



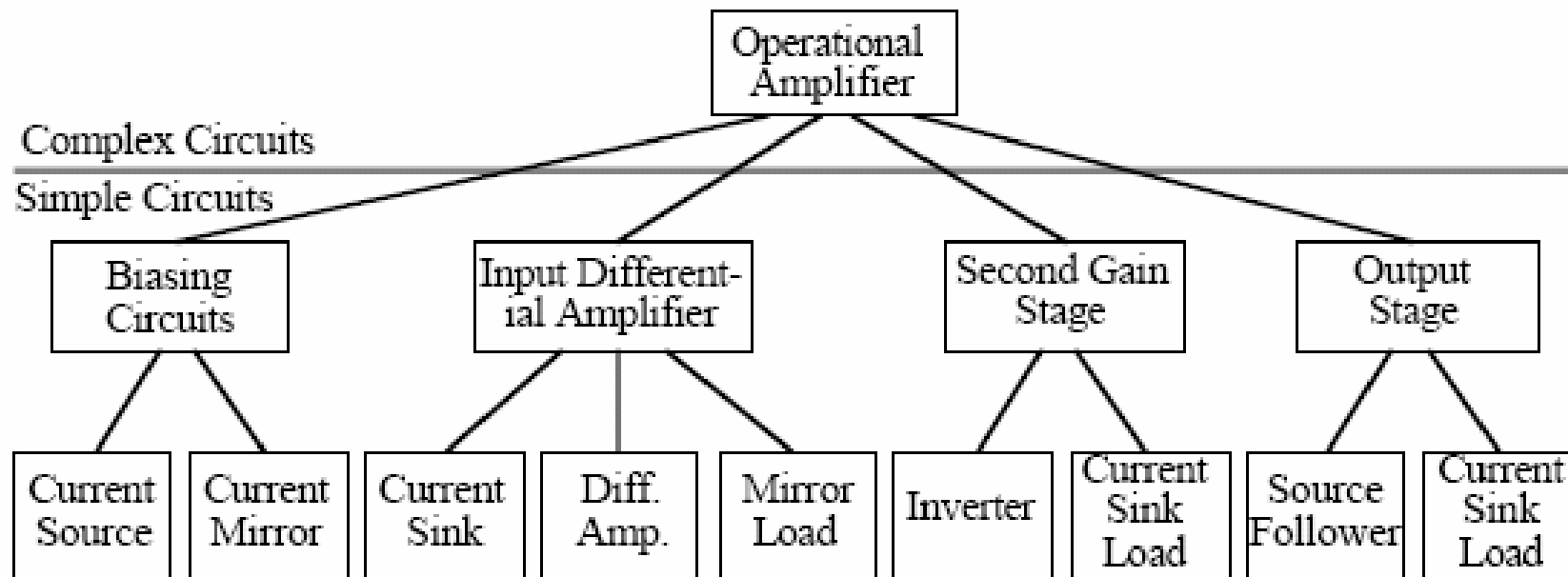
Sumário

- Introdução
- Características do Projeto Analógico
- Desafios no Projeto Analógico
- Implementação de Passivos
- Fluxo de Projeto
- **Exemplo: amplificador MOS**
- Desafios Futuros

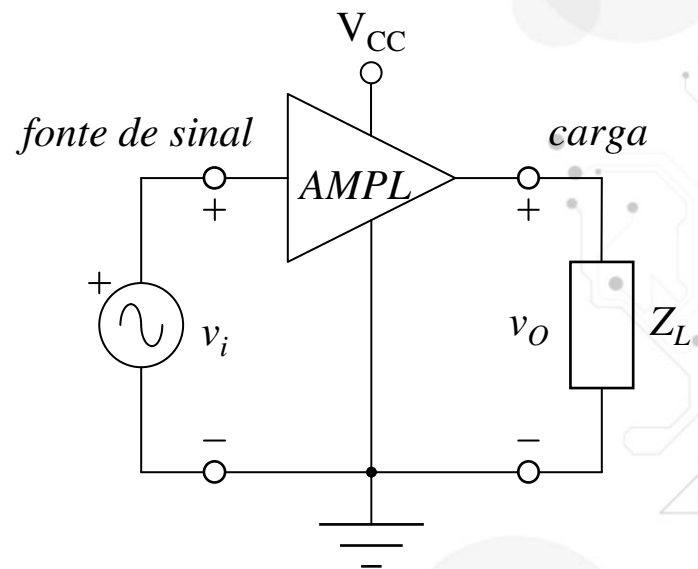
Amplificador MOS

Hierarquia de Projeto de um Módulo Analógico

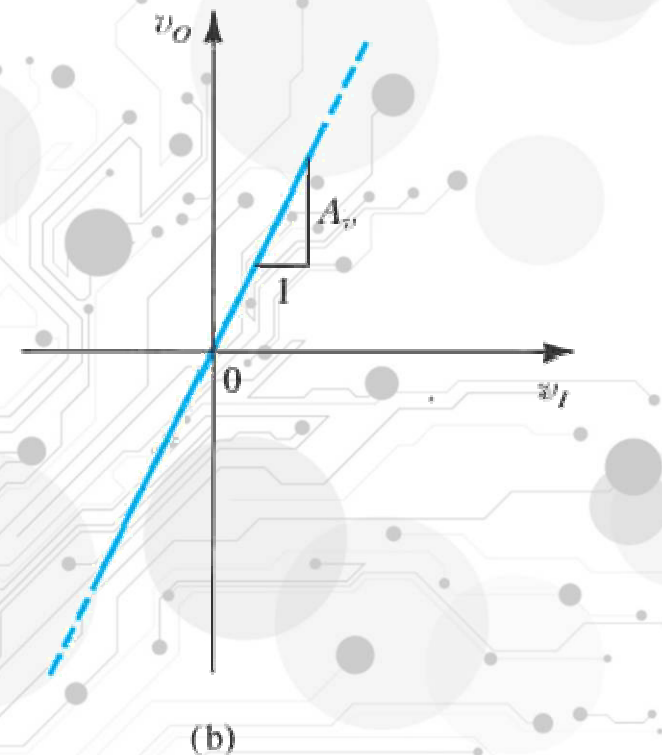
- Um subcircuito consiste em um conjunto de transistores que geralmente realiza apenas uma função.
- Um subcircuito é utilizado em conjunto com outros subcircuitos.



Amplificador Ideal

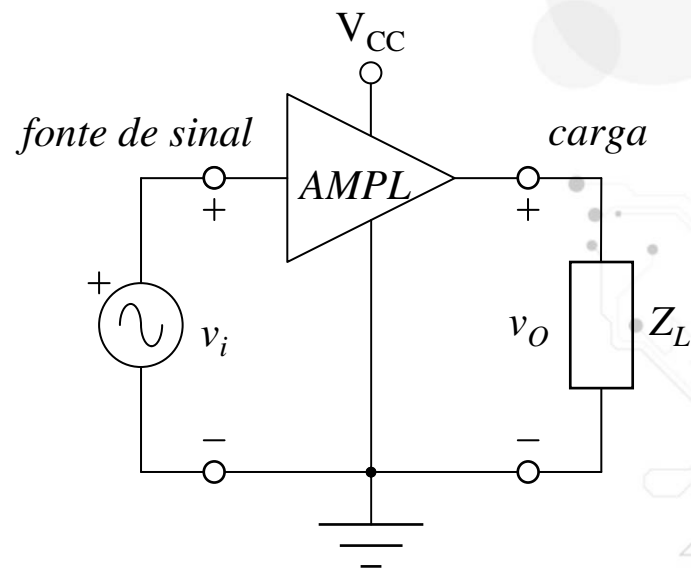


$$v_{out} = A_V \cdot v_{in}$$



- Amplificador de tensão excitado com um sinal $v_i(t)$ e conectado a uma carga Z_L
- Característica de transferência de um amplificador linear com ganho de tensão A_V

Amplificador Real



$$v_o = A_V \cdot v_i + V_O$$

$$\begin{cases} A_V = A_V(v_i, Z_L, f, T, V_{CC}, \dots) \\ V_O = V_O(Z_L, T, V_{CC}, \dots) \end{cases}$$

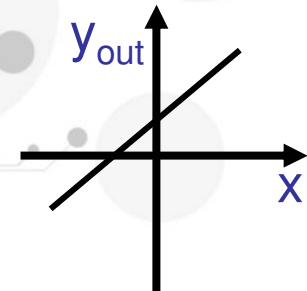
- Há uma parcela na saída que independe da entrada
- O ganho A_V depende do sinal (amplitude e frequência), da alimentação, da temperatura, da carga, etc
- A dependência de A_V com a frequência do sinal possui partes linear e não-linear

Amplificador Ideal vs Real - Linearidade

Amplificador Linear

- A saída é proporcional à entrada.

$$y_{out} = \alpha_1 x(t) + \alpha_0$$

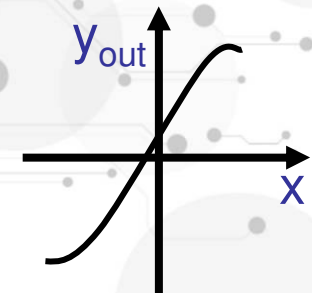


Amplificador Não-Linear

- O ganho varia com sinal de entrada
- A saída NÃO é proporcional à entrada

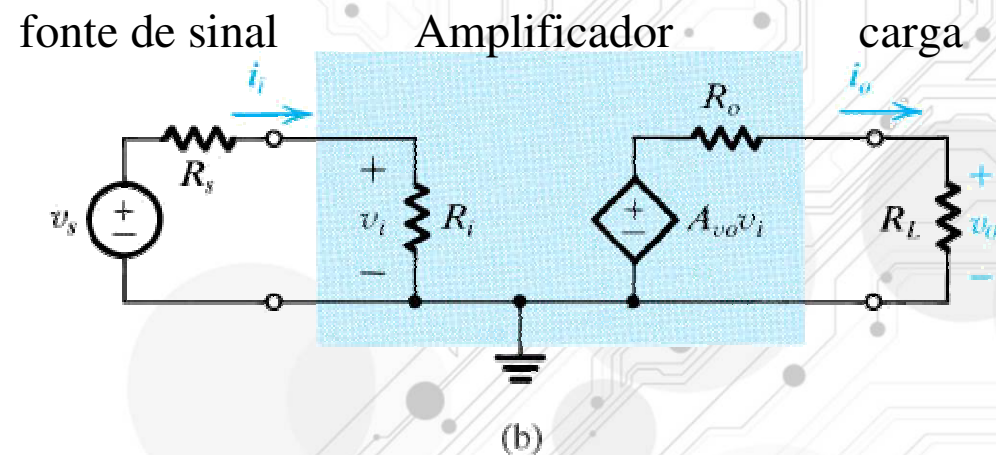
$$y_{out} = \alpha_1(y_{out})x(t) + \alpha_0$$

$$y_{out} = \alpha_n x^n(t) + \dots + \alpha_2 x^2(t) + \alpha_1 x(t) + \alpha_0$$



Modelo do Amplificador Linear

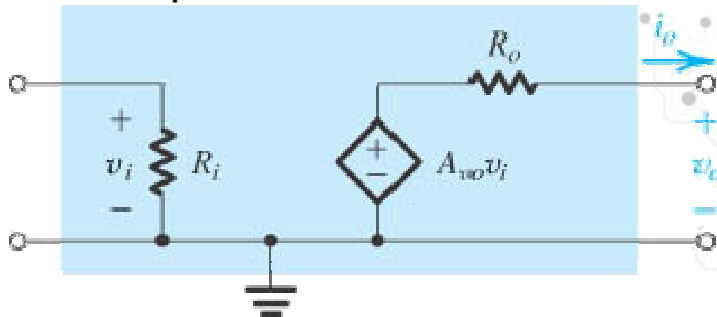
- Modelo elétrico linear de um amplificador de tensão, com fonte de sinal aplicada à entrada e uma carga
- A implementação de um amplificador **necessita de uma fonte controlada**



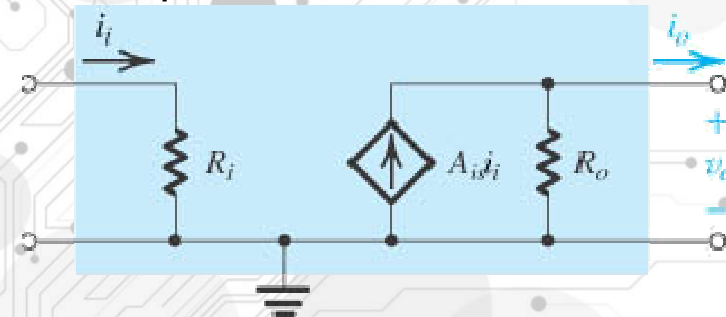
Modelos de Amplificadores Lineares

- Quatro formas de representação de um amplificador linear, usando elementos de teoria de circuitos

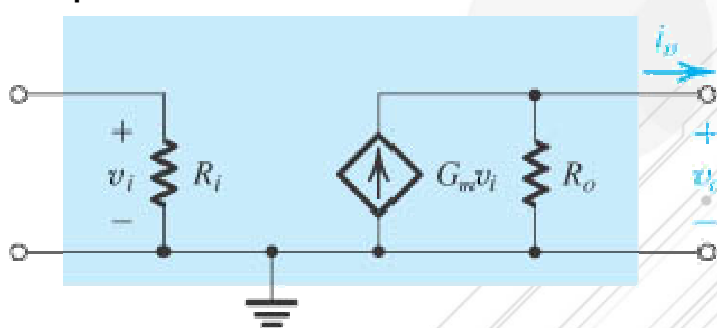
Amplificador de Tensão



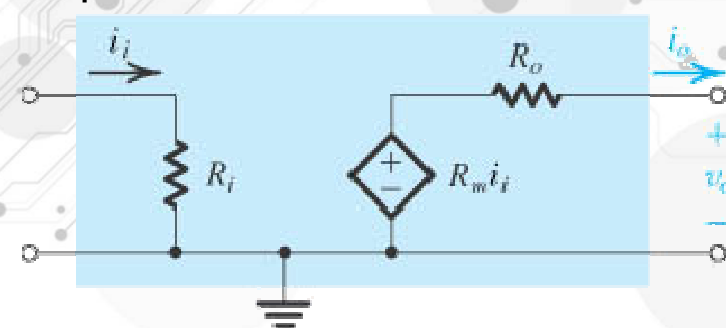
Amplificador de Corrente



Amplificador de Transcondutância

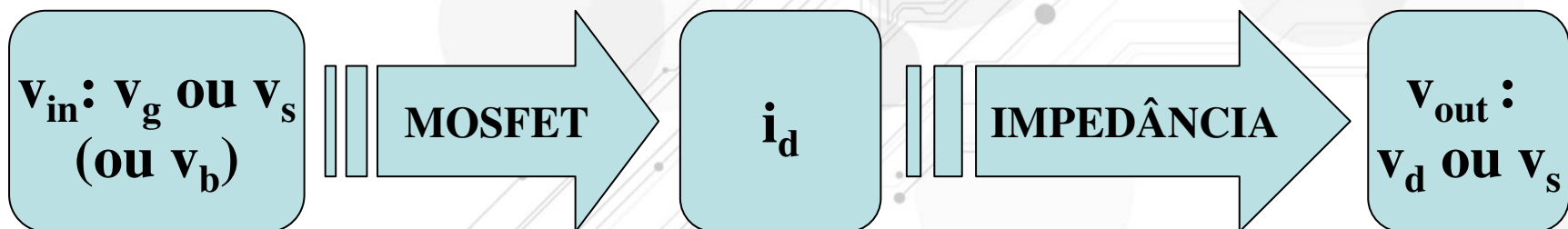
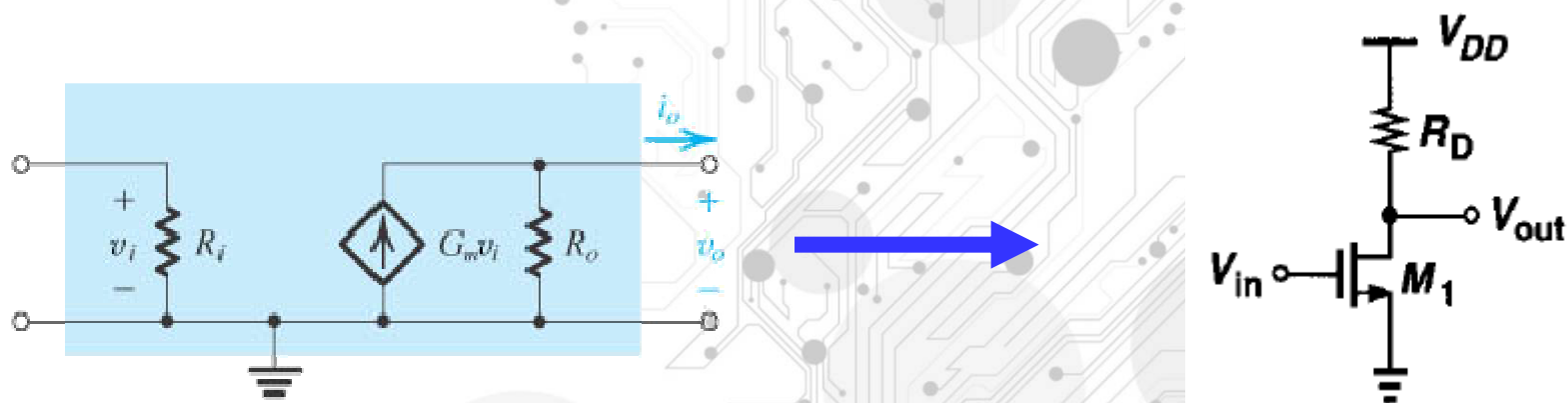


Amplificador de Transresistância



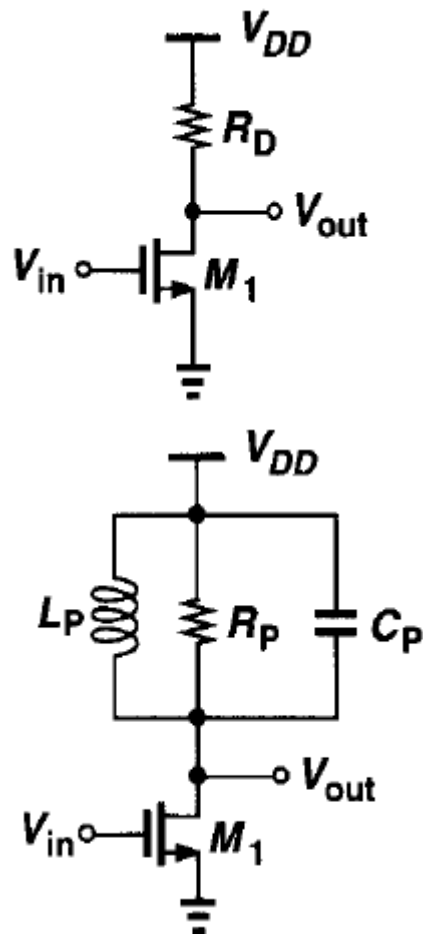
Amplificador MOS

- Sob certa condição de polarização, o MOSFET possibilita a implementação de uma **fonte de corrente controlada por tensão**, permitindo a construção de uma das representações amplificadoras

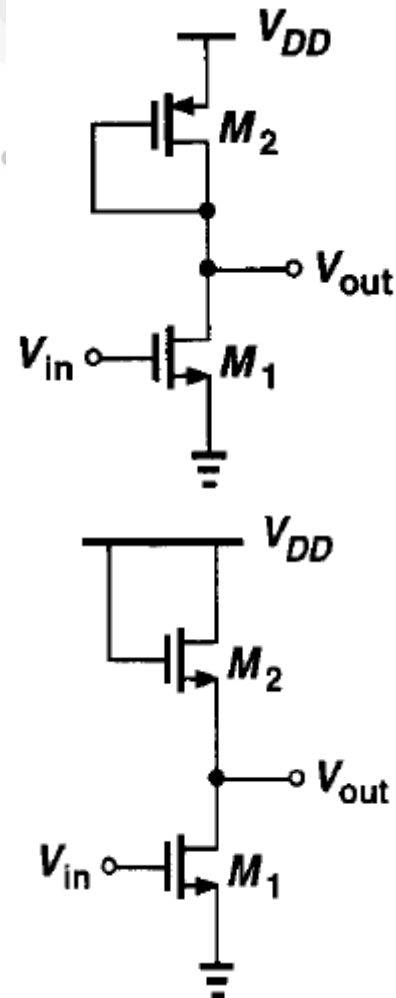


Amplificador MOS

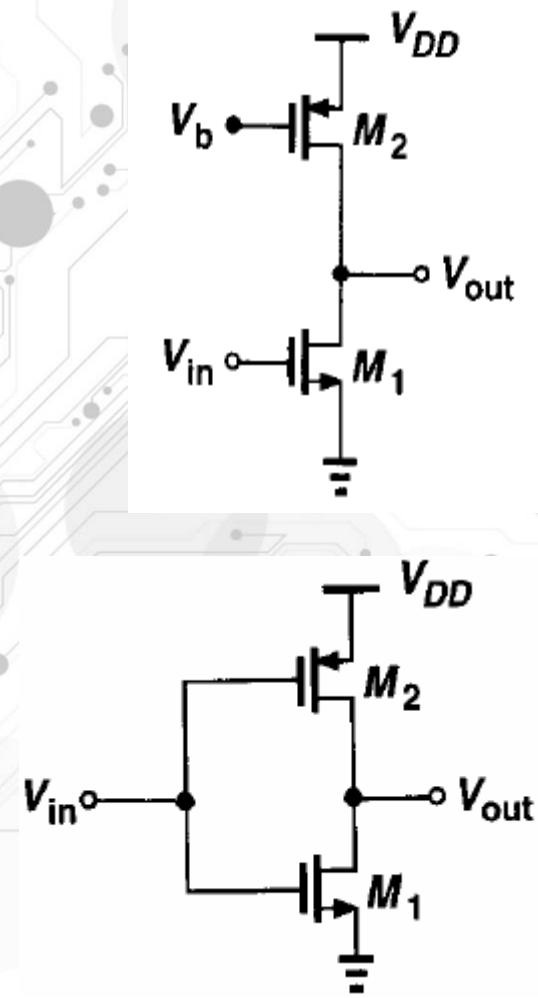
Carga: Passiva



Carga: diodo MOS



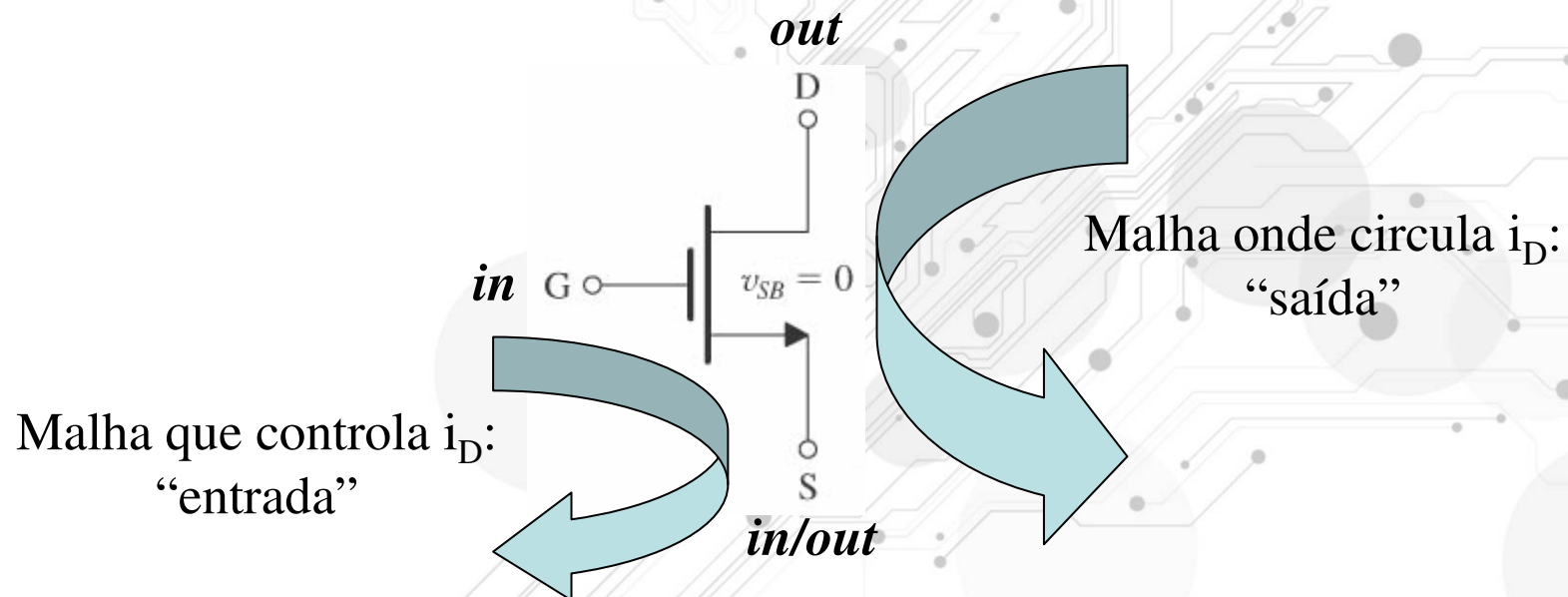
Carga: Ativa



Configurações Amplificadoras

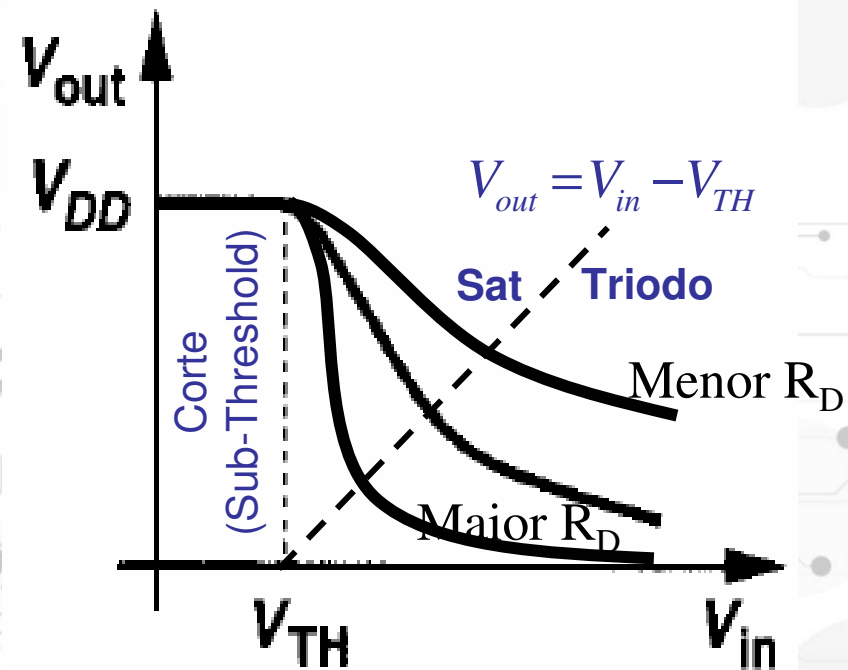
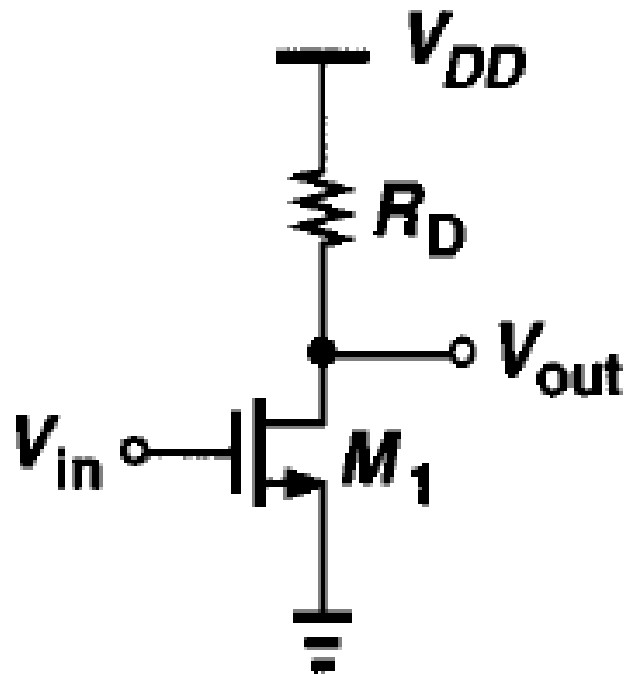
Configurações elementares MOS:

- Fonte comum (G: in ; D: out; S: Gnd)
- Dreno comum (G: in; S: out; D: Gnd)
- Porta comum (S: in; D: out; G: Gnd)



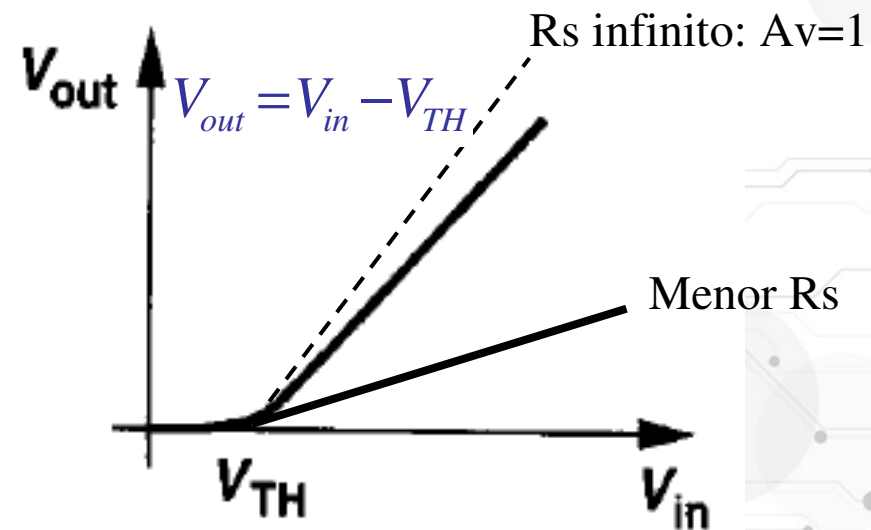
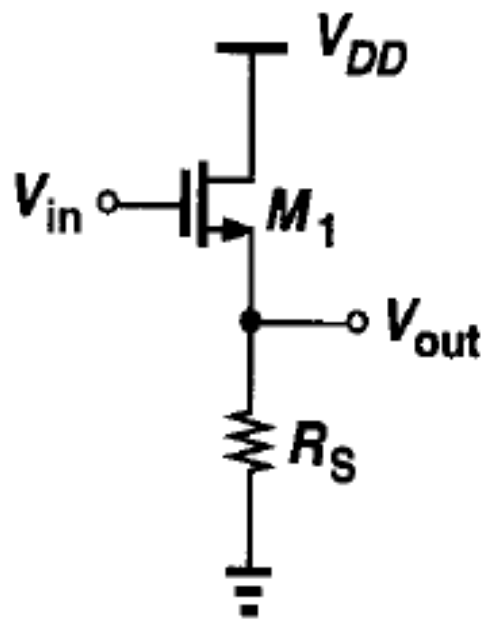
Configurações Amplificadoras

Fonte-comum



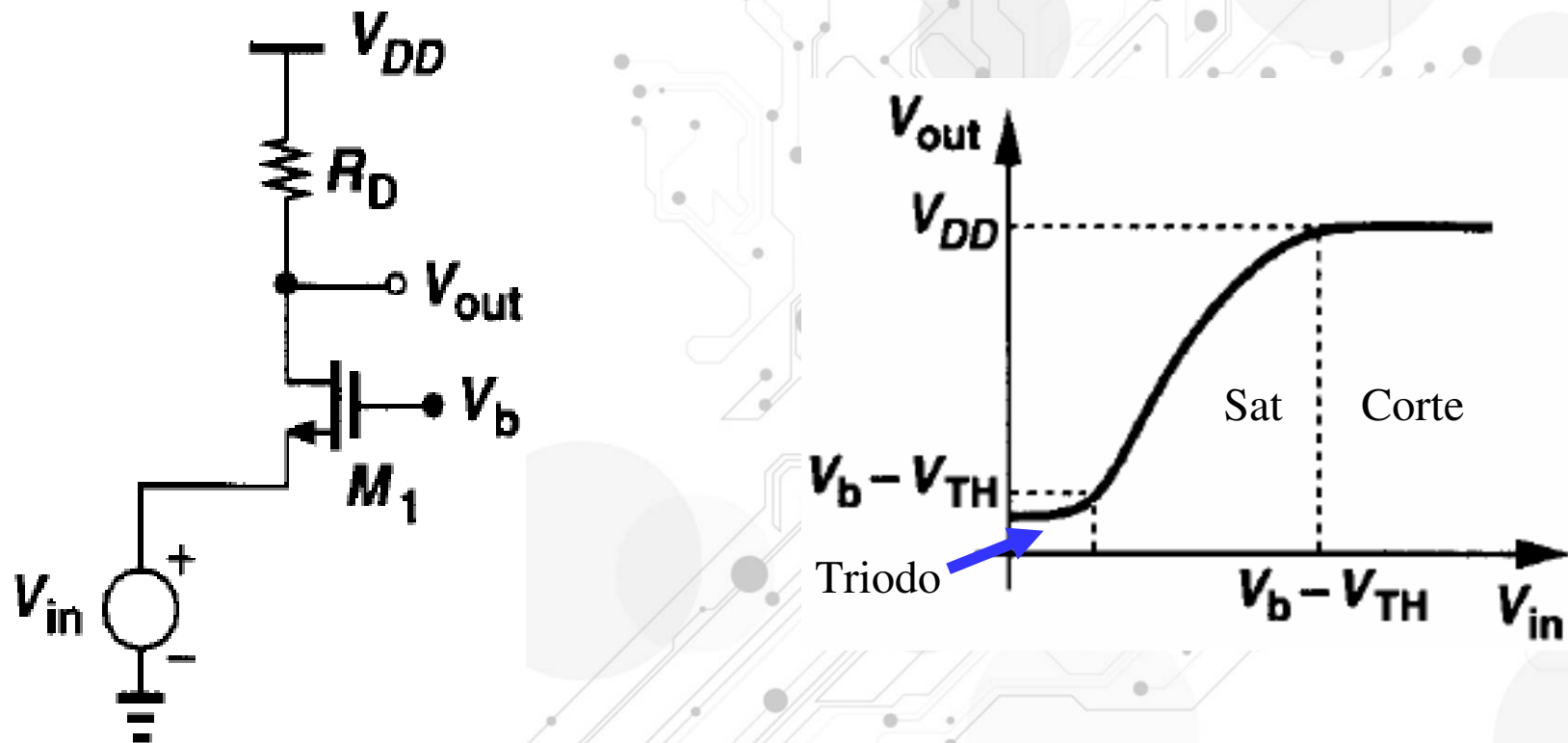
Configurações Amplificadoras

Dreno-comum



Configurações Amplificadoras

Porta-comum



Configurações Amplificadoras

Configurações compostas:

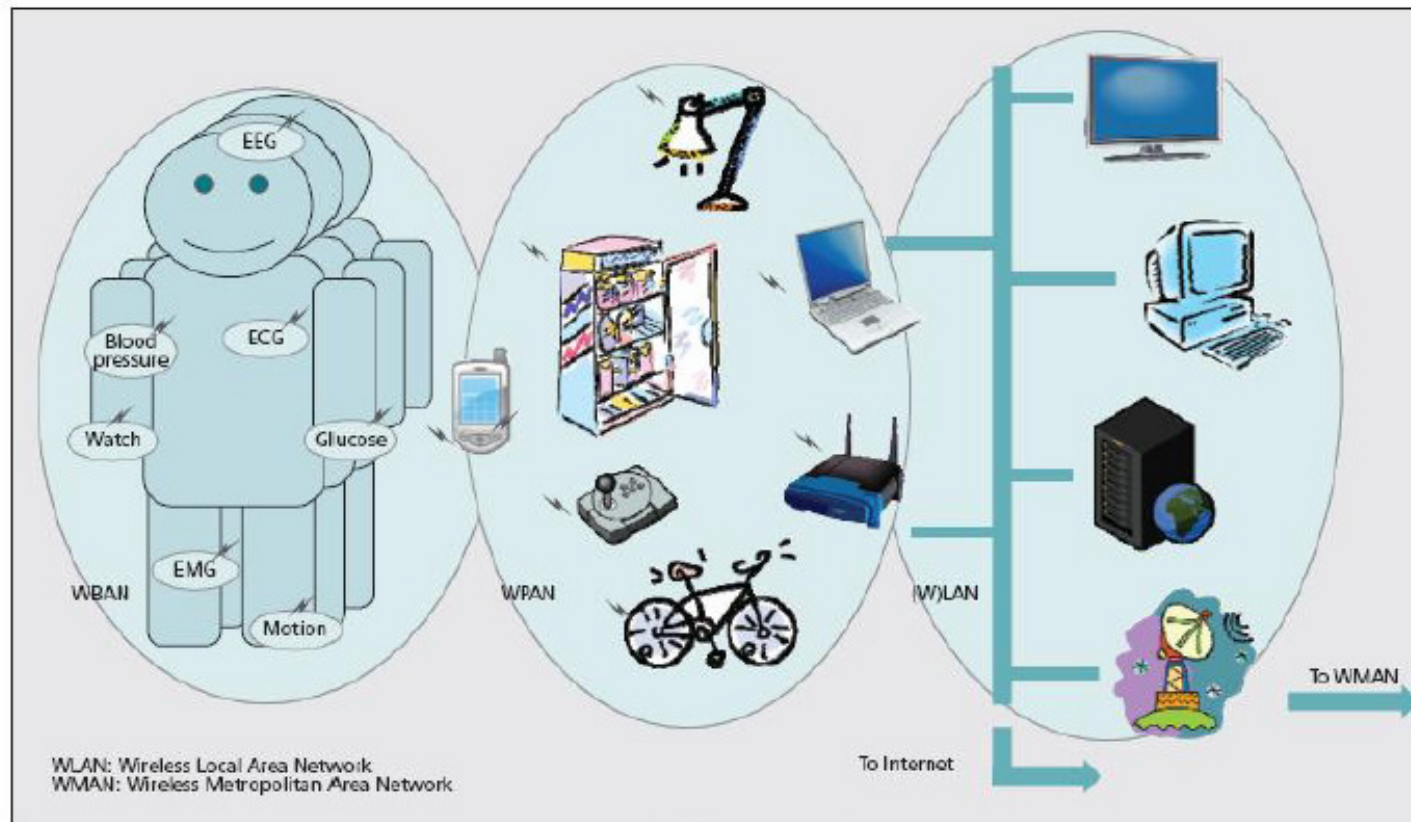
- Amplificador cascode (FC+PC)
- Amplificador diferencial (2xFC)
- Par complementar (2xDC)
- Push-pull (2xFC)
- Espelho de corrente (1 carga-diodo + FC)
- outras...

Sumário

- Introdução
- Características do Projeto Analógico
- Desafios no Projeto Analógico
- Implementação de Passivos
- Fluxo de Projeto
- Exemplo: amplificador MOS
- **Desafios Futuros**

Desafios Futuros – ULV and ULP

Ultra low-voltage for Energy Harvesting



Enabling Technologies for Wireless Body Area Networks: A Survey and Outlook

Huazong Cao and Victor Leung, University of British Columbia

Caifeng Chen and Henry Chan, The Hong Kong Polytechnic University

IEEE Communications Magazine • December 2009

Desafios Futuros – ULV and ULP

Ultra low-voltage for Energy Harvesting

Technique	Ref.	Returned Power	Advantages	Drawbacks
Kinetic	[13]	$\simeq 44 \mu\text{W}$		Large dimension ($\simeq 7 \text{ cm}^2$).
	[14]	$58 \mu\text{W}$		
	[15]	$80 \mu\text{W}$	Non resonant.	
	[16]	$60 \mu\text{W}$	Dimension ($\leq 1 \text{ cm}^2$).	Performance can decrease when packaged.
	[17]	$40 \mu\text{W}$		
Thermoelectric	[28]	$22.5 \mu\text{W}$		Low voltage drop.
	[29]	$1.5 \mu\text{W}$		
	[30]	$1 \mu\text{W}$		
	[31]	$30 \mu\text{W}$		
Fuel Cells	[36]	$50 \mu\text{W}/\text{cm}^2$		<i>In vitro</i> .
	[37]	$2.2 \mu\text{W}/\text{cm}^2$	<i>In vivo</i> .	
	[38]	$430 \mu\text{W}/\text{cm}^2$	High power density.	Short lifetime.
Infrared Radiation	[42]	$\simeq 4 \text{ mW}$	High power.	Dimension increases when thick tissues are used (10 cm^2 for 2 mm of human skin).
Low Frequency Magnetic Field	[44]	up to 3.1 W	Extremely high power over a big distance (up to 2 cm).	Extremely big dimension (10 cm^3). Moving parts need to be lubricated and substituted when worn out.
Inductive Links	[54]	11 mW	High quantity of power. Data transmission (except [55,56]).	
	[55]	150 mW		
	[56]	10 mW		
	[57]	50 mW		
	[58]	up to 22.5 mW	Extremely small dimension. Possibility of high data rate.	Extremely low efficiency. High transmitted power (0.25 W).
	[70]	0.14 mW		

Energy Harvesting and Remote Powering for Implantable Biosensors

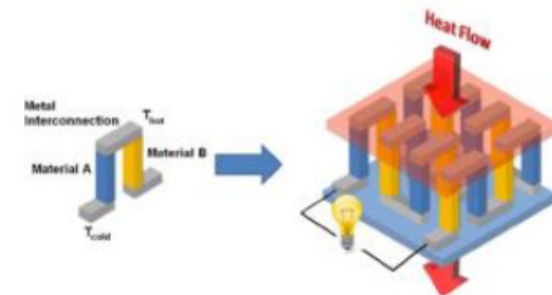
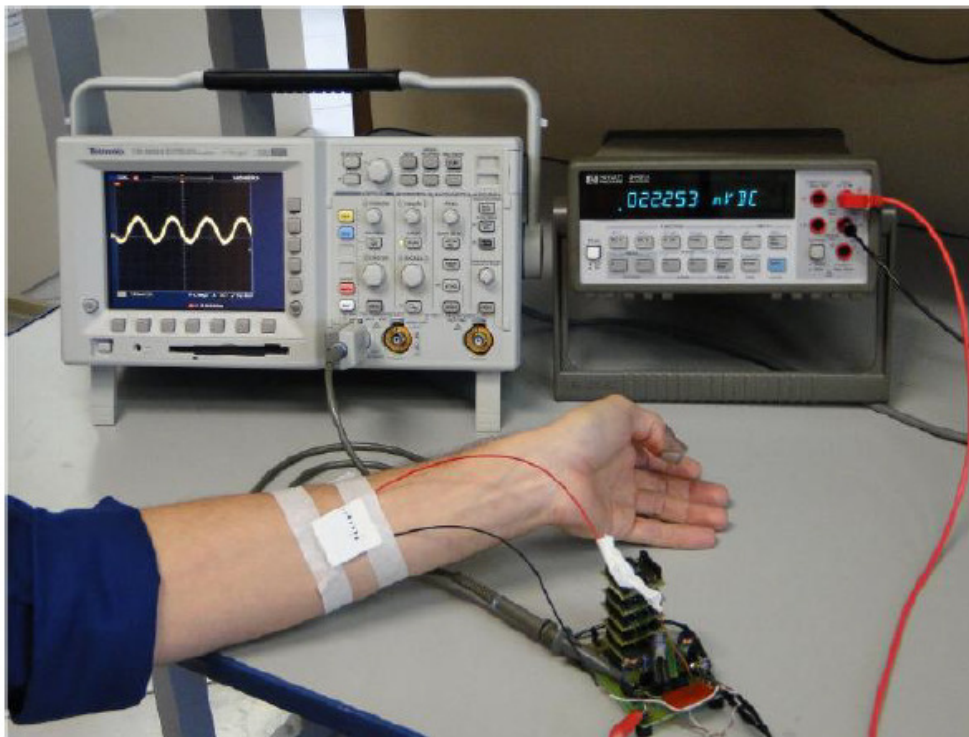
Jacopo Olivo, Sandro Carrara, *Member, IEEE*, and Giovanni De Micheli, *Fellow, IEEE*

IEEE SENSORS JOURNAL, VOL. 11, NO. 7, JULY 2011

Desafios Futuros – ULV and ULP

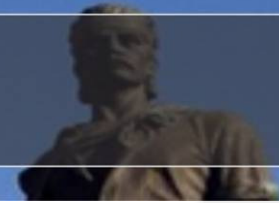
Ultra low-voltage for Energy Harvesting

A 20 mV Colpitts Oscillator powered by a thermoelectric generator



LCI – UFSC:
Carlos Galup-Montoro
Marcio Schneider
Fernando Rangel

Desafios Futuros – FinFET for Analog



16nm/14nm FinFETs: Enabling The New Electronics Frontier

Chi-Ping Hsu – Electronic Design Magazine – Jan. 18, 2013

...

Like any new technology, FinFETs pose some design challenges, **especially for custom/analog designers**. One is sometimes called "width quantization" and it stems from the fact that FinFETs work best as regular structures placed on a grid. Standard cell designers can change the width of a planar transistor, but they cannot change the height or width of a fin, so the best way to increase drive strength is to add more fins. This must be done in discrete increments - you can't add three-quarters of a fin.

Another challenge stems from the 3D topology itself, which **increases the number of resistance (R) and capacitance (C) parasitics that must be extracted and modeled**. No longer can designers just model transistor length and width - the Rs and Cs inside the transistor, including local interconnect, fins, and gates, are critical for predicting the transistor's behavior.

...

Desafios Futuros – FinFET for Analog



Design & Reuse Magazine - Industry Expert Blogs

Is 20-nm planar a stepping stone to FinFET's; can analog IP be re-used?

Navraj Nandra, Synopsys - Feb. 27, 2013

Word has it that 14-nm or 16-nm finFET processes are based on a planar CMOS 20-nm “back-end-of-line”. We’ll get into what back-end-of-line means in a later blog post. For now consider what the first statement implies since it is touted in the industry as a “fast and low risk ramp to finFET’s”, **that the expertise developed for a 20-nm analog/mixed-signal IP design could be leveraged**. But is this really be true? And is this the right question? IP reuse is about time to market, however, what an analog/mixed-signal designer really cares about is to get performance by the realization of higher f_T and f_{max} , achieved by higher transconductance, output resistance, low gate capacitance and resistance. Nothing new here – this is our daily job as analog designers. The consumer of the IP, in many cases the SoC architect not only cares about time to market but also power, performance and area. Plus the IP must work on the first instantiation. The last two points are opening up new design possibilities for the analog designer. **Going back thirty years, the initial CMOS circuits were based on the bipolar equivalents but over time new techniques such switched capacitor circuits started to appear as analog designers started to exploit the property of MOSFETS. We are at the same juncture with finFET’s. ...**

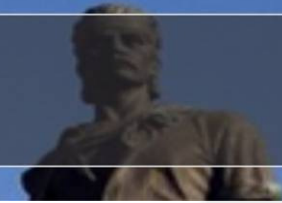
Desafios Futuros – FinFET for Analog



DAC 2013 – Austin, Texas – Technical Panel

- Topic Area: **Analog/Mixed-Signal/RF Design**
- Date: Thursday, June 6, 2013 - Time: 1:30 PM — 2:30 PM
- Summary:
 - **FinFET devices** have emerged as the winner for process nodes beyond 20nm. The advantages are too compelling to ignore. However **what's great for SoC is a real challenge for analog**. With sub-threshold currents near zero and virtually no bias control capability, suddenly the analog designer will have to throw out the old schematics and really start to rethink the problem. The big question: **How quickly will mainstream analog design find its way into FinFET-driven logic processes?**
- Moderator: Ron Wilson / Altera Corp., San Jose, CA
- Panelists:
 - Anirudh Devgan / Cadence Design Systems, Inc., Austin, TX
 - Scott Herrin / Freescale Semiconductor, Inc., Austin, TX
 - Navraj Nandra / Synopsys, Inc., Mountain View, CA
 - Eric Soenen / TSMC Ltd., Austin, TX

Perguntas?



Perguntas?
Grato pela atenção!