

**Dados de identificação**

Disciplina

**CONCEPÇÃO DE CIRCUITOS INTEGRADOS I**

Oferecida para

Bacharelado em Ciência da Computação, Engenharia de Computação, Engenharia Física e Engenharia Elétrica

Período Letivo

2020/2

Professor Responsável

Ricardo Augusto da Luz Reis

Sigla

INF01185

Carga horária (horas)

60

CH Autônoma (horas)

10

CH Coletiva (horas)

50

CH Individual (horas)

0

**Súmula**

Transistores e portas lógicas. Classificação de CI. Processos de fabricação. Regras de projeto. Concepção de blocos. Metodologias de concepção, tipos de ferramentas e descrições. Estruturas regulares. Blocos tipo ULA, registradores, PLA, ROM e outros. Estruturas para teste.

**Objetivos**

O objetivo da disciplina é capacitar o aluno a entender e a executar o processo de concepção de circuitos integrados. Fornecer os conhecimentos básicos em microeletrônica, incluindo conhecimento básico sobre os processos de fabricação de chips da família CMOS (complementary-óxido/isolante-semicondutor), sobre o modelamento do comportamento elétrico dos transistores MOS-Field Effect Transistors. A disciplina aprofunda o projeto de circuitos lógicos (digitais) CMOS, e o projeto físico do layout de módulos de circuitos combinacionais e seqüenciais, bem como macroblocos de média complexidade. Técnicas específicas de projeto de circuitos para funcionamento como memórias integradas em silício e de projeto de módulos combinacionais aritméticos (ULA, somadores, multiplicadores, etc) são tratadas.

Os alunos deverão ao final da disciplina compreender os princípios de uso de ferramentas de leiaute, verificação e simulação elétrica de chips. A disciplina capacita os alunos a utilizar um conjunto de ferramentas de automação de projeto de chips (software EDA para projeto físico de circuitos integrados) e realizar projetos práticos no nível de lógico dos circuitos digitais, elétrico a nível de transistores e o leiaute de circuitos integrados CMOS.

**Conteúdo Programático**

Título	Conteúdo	Semana
Introdução à integração de sistemas em circuitos Integrados. Tendências e métodos de integração.	Introdução à integração de sistemas em circuitos Integrados. Tendências de integração de transistores a sistemas digitais. Integração em alta escala. Evolução e classificação dos circuitos integrados.	1
Transistor MOS	Processo CMOS básico de fabricação de chips. Princípios básicos de litografia, difusão, implantação para fazer circuitos em tecnologia planar sobre silício. Comportamento lógico e elétrico dos componentes básicos. Diodos pn, capacitores 1-D MOS, transistor MOSFET. Elementos parasitas Efeitos de segunda ordem Parâmetros de processo e modelo SPICE	1 a 2
Inversor CMOS e portas lógicas básicas. Noções de leiaute CMOS.	Portas Lógicas CMOS: layout e projeto elétrico e físico. Regras geométricas para layout e sua verificação. Prática de Laboratório. Regras Elétricas de processo. Modelos elétricos de parasitas ( fios, capacitores e junções p-n). Inversores CMOS e pseudo-NMOS. Análise DC, margem de ruído Análise transiente, características temporais Consumo de potência	3 a 4
Redes lógicas	Lógica combinacional estática CMOS. Portas CMOS complexas. Redes diretas e complementares, redes duais. Caminho de Euler. Estilos de lógica. Lógica de Chaves. Portas lógicas single e dual rail Utilização de BDD (binary decision diagram) para síntese de redes lógicas simples. Minimização de transistores e impactos em atraso, área e potência dissipada.	5 a 6
Portas lógicas CMOS estáticas	Projeto e análise elétrica por simulação elétrica. Projeto de uma porta CMOS complexa ou com Chaves CMOS. Efeitos do dimensionamento dos transistores. Características temporais e de consumo de potência. Método de esforço lógico para dimensionamento. Projeto em estilos CMOS: Multiplexadores, Decodificadores.	7 a 8

Lógica Dinâmica	Armazenamento dinâmico em CMOS. Efeito memória com Transmission gate e Portas CMOS. Clocked-CMOS (portas tri-state ). Estilos de lógica dinâmica. Pré-Carga e Avaliação. Lógica Dominó e estilos de lógica npCMOS e NORA. Análise e simulação elétrica. Lógica CMOS com 2 fases de relógio.	9 a 10
Circuitos lógicos CMOS sequenciais	Latches e flip-flops: Projeto lógico, elétrico e leiaute. Noções de metodologias de temporização, tempos típicos (setup, hold). Características temporais em dupla fase de relógio. Exemplos de construções típicas de Latches (dinâmicos e estáticos) e Flip-Flops D e JK. Registradores básicos (deslocamento e contadores).	11 a 12
Projeto CMOS de blocos operacionais	Somadores de 1 bit e somadores de palavras. Arquiteturas de somadores. Deslocadores. Projeto de ULA. Multiplicadores (array, Wallace e Booth).	13 a 14
Projeto de Memórias e estilos regulares de leiaute	Projeto de célula RAM. Módulos RAM. Memória ROM como bloco combinacional. Revisão dos conceitos apresentados ao longo do semestre Introdução ao fluxo de projeto de circuito integrado digital na metodologia 'standard cell'.	15
Recuperação	Atividades de recuperação	16

### Metodologia

#### *Estratégias didáticas em atividades remotas*

O conteúdo da disciplina esta será apresentado através de aulas expositivas e também através de exercícios e trabalhos práticos. Serão ministrados em aulas ferramentas de EDA e também utilizadas pelos alunos como atividade extra-classe. Além das exposições teóricas em aula, os alunos aprenderão a utilizar um ambiente de ferramentas de EDA. Neste semestre os mesmos utilizarão o ambiente de software open source (Magic, NGSpice), para as tarefas de projeto full-custom e para a simulação elétrica detalhada com extração, DRC, LVS exercitados sobre os projetos dos seguintes circuitos: inversor, Nand2 e Nor2, XOR, Flip-Flop e somador básico de 4 bits. Serão realizadas avaliações da parte teórica e solicitados relatórios dos exercícios práticos executados pelos alunos como atividade extra-classe. As aulas expositivas serão executadas em tempo real (síncronas) de forma a ter uma interação professor e aluno em tempo real, permitindo a realização de perguntas e respostas durante as aulas expositivas. As aulas serão realizadas em 2 vezes por semana mantendo o previsto na modalidade presencial. As aulas em tempo real utilizarão ferramentas de videoconferência (MConf e Zoom), assim como o Discord. O material das aulas já foi disponibilizado aos alunos sendo observados os direitos autorais e de imagem, conforme orientação da SEAD. Foi montado um grupo de whatsapp para facilitar a interação entre professores e alunos. Os alunos devem realizar 5 trabalhos práticos durante o semestre. Atividades síncronas: aulas por videoconferência e discussão a distância, com a participação do docente, monitor e alunos por meio de chat (Moodle) e videoconferência, sobre tema específico. Atividades assíncronas: orientação a distância, pelo docente.

#### *Estratégias didáticas em atividades presenciais*

Não serão realizadas atividades presenciais

#### *Recursos disponibilizados*

Serão disponibilizados aos alunos os seguintes recursos, necessários para desenvolverem suas atividades na disciplina:

- 1) Material de estudo disponibilizado em AVA institucional (Moodle do INF) e na Sala de Aula Virtual
- 2) Programas para desenvolvimento das atividades didáticas: Magic e NGSpice.
- 3) Acesso à Bibliografia Básica, através do Sabi+ (<https://www.ufrgs.br/bibliotecas/>)
- 4) Material de estudo produzido pelos professores, incluindo cópia do slides utilizados em aula.
- 5) Manual de utilização das ferramentas de EDA

#### *Recursos computacionais*

Para a realização das atividades previstas, será necessário:

- 1) Acesso regular à Internet;
- 2) Dispositivo desktop, notebook (ou assemelhado), celular ou tablet, que permita o acesso a ferramentas de videoconferência, de forma que o discente possa acompanhar, por imagem e áudio, as atividades realizadas. Além disso, o dispositivo deve possibilitar o uso de ferramentas de texto ("chat"), sendo opcional o uso de câmera ou microfone.
- 3) Dispositivo desktop ou notebook (ou assemelhado), capaz de rodar os programas necessários ao estudo e realização dos trabalhos práticos.

<p><b>Informações sobre Direitos Autorais e de Imagem:</b></p>	<p>Todos os materiais disponibilizados são exclusivamente para fins didáticos, sendo vedada a sua utilização para qualquer outra finalidade, sob as penas legais.</p> <p>Todos os materiais de terceiros que venham a ser utilizados devem ser referenciados, indicando a autoria, sob pena de plágio.</p> <p>A liberdade de escolha de exposição da imagem e da voz não isenta o aluno de realizar as atividades originalmente propostas ou alternativas;</p> <p>Todas as gravações de atividades síncronas devem ser previamente informadas por parte dos professores.</p> <p>Somente poderão ser gravadas pelos alunos as atividades síncronas propostas mediante concordância prévia dos professores e colegas, sob as penas legais.</p> <p>É proibido disponibilizar, por quaisquer meios digitais ou físicos, os dados, a imagem e a voz de colegas e do professor, sem autorização específica para a finalidade pretendida.</p> <p>Os materiais disponibilizados no ambiente virtual possuem licença de uso e distribuição específica, sendo vedada a distribuição do material cuja a licença não permita ou sem a autorização prévia dos professores para o material de sua autoria.</p>
<p><b>Carga Horária</b></p> <p>Teórica</p> <p>Prática</p>	<p>40</p> <p>20</p>
<p><b>Experiências de Aprendizagem</b></p>	<p>Está previsto que os discentes realizem as seguintes Experiências de Aprendizagem:</p> <ol style="list-style-type: none"> <li>1) <u>Aulas ministradas em tempo real.</u> Todo o material e os exercícios estarão disponíveis no AVA da disciplina.</li> <li>2) Serão liberadas duas listas de exercícios correspondentes ao conteúdo, respectivamente, das duas provas.</li> <li>3) <u>Trabalhos práticos de implementação</u>, projeto de: um inversor, um Nand2 e um Nor2, um XOR, um Flip-Flop e um somador básico de 4 bits. Os alunos deverão mudar o dimensionamento dos trabalhos e verificar as modificações nos tempo de subida, descida e de propagação de um sinal.</li> </ol>
<p><b>Critérios de Avaliação</b></p>	<p>O conceito final da disciplina será obtido através de 2 provas teóricas (V1,V2) e a média obtida pelos alunos em trabalhos práticos e exercícios requeridos durante a disciplina (TP),</p> <p>A avaliação será feita pela média <math>M = 0.35 V1 + 0.35 V2 + 0.3 TP</math>, onde</p> <p>V1 é a nota da primeira verificação (valendo 8 pontos) + nota da lista de exercícios 1 (valendo 2 pontos)</p> <p>V2 é a nota da segunda verificação (valendo 8 pontos) + nota da lista de exercícios 2 (valendo 2 pontos)</p> <p>TP é o conceito atribuído aos trabalhos práticos de projeto</p> <p>O aluno poderá substituir a média <math>(0.35 V1 + 0.35 V2)</math> pela nota do exame de recuperação. A prova de recuperação incluirá todo o conteúdo da disciplina. Caso o aluno entre em recuperação o seu conceito máximo na disciplina será o conceito C.</p> <p>A nota referente aos projetos e seus relatórios (TP) não pode ser recuperada. Os diferentes trabalhos práticos e relatórios individuais terão diferentes pesos, de acordo com sua complexidade.</p> <p>Conceito Final :</p> <p>A se <math>M \geq 9,0</math></p> <p>B se <math>7,5 \leq M &lt; 9,0</math></p> <p>C se <math>6,0 \leq M &lt; 7,5</math></p> <p>D se <math>M &lt; 6,0</math></p> <p>De acordo com a Resolução do CEPE sobre o ERE, durante o período em que perdurar o ERE, fica inaplicável a atribuição de conceito FF, prevista no Parágrafo 2º, do Artigo 44, da Resolução nº 11/2013 do CEPE.</p> <p>Para os estudantes matriculados até o final do período e que deixaram de participar da Atividade de Ensino, deverá ser atribuído o registro NI (Não Informado) no campo de conceito do sistema acadêmico.</p> <p>Para os casos previstos no Parágrafo 1º, a justificativa do registro NI deverá conter a referência ao período de excepcionalidade.</p> <p>Os casos de não informação de conceito durante o ERE, deverão ser resolvidos até o fim do segundo período letivo, após o fim da situação emergencial de saúde.</p>
<p><b>Atividades de Recuperação Previstas</b></p>	<p>Havendo necessidade para aprovação na disciplina, é possível o aluno fazer ao final do semestre uma prova de RECUPERAÇÃO (R) que incluirá todo o conteúdo da disciplina. O conceito final será <math>0.7R + 0.3TP</math>.</p> <p>Caso o aluno entre em recuperação o seu conceito máximo na disciplina será o conceito C.</p> <p>A Nota referente aos projetos e seus relatórios (a nota TP) não pode ser recuperada.</p> <p>Em função de necessidades especiais de cada aluno, poderá ser apresentada uma forma alternativa de recuperação do aluno.</p> <p>Caso não seja possível realizar alguma TAREFA ou TRABALHO de recuperação até o final do período letivo corrente, mas ainda antes da matrícula para o próximo período, o aluno receberá conceito NI.</p>

**Bibliografia**

Sem alterações

**Básica Essencial**

Rabaey, Jan M.; Chandrakasan, Anantha; Nikolic, Borivoje. Digital integrated circuits :a design perspective. Upper Saddle River: Prentice Hall, 2003. ISBN 0130909963.

Ricardo Reis. Concepção de Circuitos Integrados. Porto Alegre: Bookman, 2009. ISBN 9788577803477.

**Disponível no Sabi+.**

**Básica**

Weste, Neil H.E.; Harris, David M.. CMOS VLSI Design :a circuits and systems perspective. Boston: Pearson/Addison- Wesley, 2011. ISBN 9780321547743.

**Complementar**

-Cathey, J.J.. Dispositivos e circuitos eletronicos. Porto Alegre: Bookman, 2003. ISBN 8536302526.

Gajski, Daniel D.. Principles of digital design. Upper Saddle River: Prentice Hall, c1997. ISBN 0133011445.

-Glasser, Lance A.; Dobberpuhl, Daniel W.. The Design and Analysis of Vlsi Circuits. Reading: Addison-Wesley, c1985. ISBN 0-201-12580-3.

-Hodges D. A., Jackson H. G., Saleh, R. A.. Analysis and Design of Digital Integrated Circuits in Deep Submicron Technology. McGraw-Hill, 2003. ISBN 0-07-228365-3.

-Sutherland, Ivan Edward; Sproull, Robert F.; Harris, David F.. Logical Effort :designing fast CMOS circuits. San Francisco: Morgan Kaufmann, c1999. ISBN 1558605576.

-Uyemura, John Paul. CMOS logic circuit design. Boston: Kluwer Academic, c1999. ISBN 0792384520.

- Manuals das Ferramentas de EDA usadas na disciplina. Disponíveis online.