

Unidade: Instituto de Informática - UFRGS
Departamento de Informática Aplicada (INA)

Dados de identificação

| | | | |
|--|-------------------|-------------------|--------------------|
| Disciplina: Sistemas Digitais para Computadores A | | | |
| Período Letivo: 2021/2 | | | |
| Professor Responsável: Fernanda Gusmão de Lima Kastensmidt | | | |
| Sigla: INF01175 | Créditos: 4 | | |
| Carga Horária: 60 h | CH Autônoma: 10 h | CH Coletiva: 50 h | CH Individual: 0 h |

Súmula

Computador visto como um sistema digital • Linguagens de descrição de hardware • Unidades operacional e de controle • máquinas de estado finita (FSM) • Sistemas síncronos • Comunicação assíncrona e síncrona entre sistemas • fluxograma ASM

Currículos

| Currículos | Etapa | Pré-Requisitos | Natureza |
|--------------------------------------|-------|-------------------------------|-------------|
| Bacharelado em Ciência da Computação | | (INF01058) CIRCUITOS DIGITAIS | Eletiva |
| Engenharia de Computação | 4 | (INF01058) CIRCUITOS DIGITAIS | Obrigatório |
| Bacharelado em Engenharia Física | 9 | (FIS01233) TÉCNICAS DIGITAIS | |

Objetivos

O objetivo da disciplina é capacitar o aluno a compreender diferentes métodos de síntese de sistemas digitais complexos. Para tanto serão enfatizados métodos e ferramentas de síntese para circuitos combinacionais (para circuitos regulares e para circuitos irregulares) e sequenciais (tipicamente máquinas de estado utilizadas para sequenciamento e controle). A linguagem de descrição de hardware VHDL será utilizada para descrição de sistemas digitais complexos, bem como para simulação e síntese destes sistemas. A abordagem apresentada considera a divisão de um sistema digital entre parte operativa e parte de controle. Métodos e ferramentas de síntese específicos são apresentados para a parte operativa e para a parte de controle. A síntese de alto nível também será explorada e comparada ao projeto de sistemas PC-PO a partir de fluxograma ASM. Ao final da disciplina o aluno deverá estar apto a compreender um computador como um sistema digital complexo, bem como ter uma visão geral das técnicas e ferramentas de projeto para tais sistemas.

Conteúdo Programático

| Semana | Título | Conteúdo |
|--------|--------------------------------------|--|
| 1 | Introdução ao projeto de SD (remoto) | Introdução a disciplina |
| 2 | FPGAs (remoto) | Revisão de máquinas de estados (FSM) Circuitos programáveis (FPGAs), arquiteturas, roteamento interno, reconfiguração. |
| 3 | VHDL combinacional (remoto) | Noções de VHDL: atribuições concorrentes. Declaração e instanciação de componentes. Construção de Testbenchs. Implementações em VHDL com simulação funcional e temporal. |
| 4 | VHDL uso de componentes (remoto) | Circuitos aritméticos do Coregenerator SOMADOR, MULTIPLICADOR: projeto em VHDL e uso de módulos embarcados. Simulação funcional de módulos. Uso de componentes. |
| 5 | VHDL sequencial (remoto) | Noções de VHDL: atribuições sequenciais, registrador e contadores |
| 6 | FSM (remoto) | Descrição de máquinas de estados em VHDL. Síntese de máquinas de estado em VHDL: codificação de estados, minimização de estados e escolha dos FFs. FSM em VHDL e simulação sem e com atraso. |
| 7 | Laboratorio VHDL (presencial) | Laboratório de Implementação de FSM e memórias BRAM. Neander em VHDL. Trabalho 2 avaliativo |
| 8 | Laboratorio VHDL (presencial) | Laboratório de Implementação de FSM e memórias BRAM. Neander em VHDL. Trabalho 2 avaliativo |
| 9 | Fluxograma ASM (remoto) | Fluxograma ASM (Algorithm State Machine), Exemplos de fluxogramas ASM, Projeto RTL: parte operativa (PO) e parte de controle (PC) |
| 10 | Fluxograma ASM (remoto) | Fluxograma ASM (Algorithm State Machine), Exemplos de fluxogramas ASM, Projeto RTL: parte operativa (PO) e parte de controle (PC) |
| 11 | Pipeline (remoto) | Introdução a Pipeline e implementações em VHDL |
| 12 | Laboratorio de ASM (presencial) | Comparações de implementações mono ciclo / multi-ciclo / pipeline. Trabalho 3 avaliativo. |
| 13 | Laboratorio ASM (presencial) | Comparações de implementações mono ciclo / multi-ciclo / pipeline. Trabalho 3 avaliativo. |
| 14 | HLS (remoto) | Uso de HLS - Vivado |
| 15 | Hand-shake (remoto) | Introdução a comunicação assíncrona, protocolo de hand-shake (2 e 4 fases, single and dual rail) |
| 16 | Entrega trabalho final e Recuperação | Apresentação do trabalho final e recuperação |

Metodologia

As atividades ocorrerão de forma remota síncrona ou assíncrona, e **presencial restrita**, conforme previsto no cronograma. As atividades remotas síncronas e os encontros presenciais restritos ocorrerão nos horários regulares da disciplina, em datas especificadas no cronograma.

Os encontros remotos serão gravados e disponibilizados para uso posterior dos alunos. Estão previstas, também, atividades práticas, a serem realizadas pelos alunos, de forma síncrona, assíncrona a ser realizado nos seus computadores pessoais e em laboratorio presencial no Insituto de Informática da UFRGS.

As atividades assíncronas consistem na realização das tarefas propostas pelo professor. Essas atividades deverão ser realizadas até a data prevista e valerão nota. Todas as atividades serão propostas, entregues e avaliadas através no MS-teams, onde constarão as instruções a serem seguidas para sua realização. Plataformas de teleconferência: MS-teams, e nesta mesma plataforma tem todo o material da disciplina e videos. Em caso de dúvidas, os alunos poderão

contar com atendimento individualizado do professor, em horário a ser combinado e realizado de forma remota.

Durante os encontros presenciais, os alunos irão implementar circuitos digitais em linguagem VHDL usando os computadores e ferramentas do laboratório e as placas de prototipação de FPGA. Serão 4 semanas de aulas presenciais conforme cronograma, ou seja, 8 encontros. As atividades práticas realizadas nestes encontros presenciais serão entregues e valerão nota, contanto como o trabalho 2 e trabalho 3 da disciplina.

Os recursos como gravação de aulas remotas síncronas, aulas gravadas antecipadamente e materiais de apoio, trabalhos e entrega de tarefas previstas assim como as instruções para sua realização serão disponibilizadas no MS Teams. Os alunos receberão instrução de acesso na primeira aula. Também serão disponibilizados links para os livros e artigos online e gratuitos, indicados para leitura e estudo, visando auxiliar na realização das atividades propostas.

Para acompanhar as atividades previstas é necessário ter acesso regular à Internet. As atividades instrucionais síncronas serão realizadas através da plataforma: MS-teams e podem ser acompanhadas através de telefone ou computador (preferencialmente), com microfone e câmera. Para a realização das atividades práticas propostas será necessário utilizar computador com sistema operacional Windows ou máquina virtual Windows, para execução dos simuladores de VHDL, as indicadas são ISE Webpack ou Vivado da Xilinx, que podem ser baixadas gratuitamente do site xilinx.com.

Informações sobre Direitos Autorais e de Imagem:

Todos os materiais disponibilizados são exclusivamente para fins didáticos, sendo vedada a sua utilização para qualquer outra finalidade, sob as penas legais.

Todos os materiais de terceiros que venham a ser utilizados devem ser referenciados, indicando a autoria, sob pena de plágio.

A liberdade de escolha de exposição da imagem e da voz não isenta o aluno de realizar as atividades originalmente propostas ou alternativas;

Todas as gravações de atividades síncronas devem ser previamente informadas por parte dos professores.

Somente poderão ser gravadas pelos alunos as atividades síncronas propostas mediante concordância prévia dos professores e colegas, sob as penas legais.

É proibido disponibilizar, por quaisquer meios digitais ou físicos, os dados, a imagem e a voz de colegas e do professor, sem autorização específica para a finalidade pretendida.

Os materiais disponibilizados no ambiente virtual possuem licença de uso e distribuição específica, sendo vedada a distribuição do material cuja a licença não permita ou sem a autorização prévia dos professores para o material de sua autoria.

Carga Horária

Teórica: 30 horas

Prática: 30 horas

Experiências de Aprendizagem

O conteúdo programático previsto para cada semana será apresentado na forma de aula online síncrona que será gravada e disponibilizada no MS Teams para ser assistida pelos alunos quando

desejado. Plataforma de teleconferência usada: MS Teams. Adicionalmente, serão realizadas atividades assíncronas individuais como execução de exercícios e trabalhos. Descrição de diversos circuitos digitais em VHDL, simulação e síntese em circuitos programáveis usando ferramentas comerciais. **Realização de 4 grandes trabalhos individuais, sendo dois deles com prototipação em placa com FPGA. Nos encontros presenciais será disponibilizado placas de prototipação em hardware e de ferramentas que irão enriquecer o aprendizado dos alunos.**

Critérios de Avaliação

As avaliações serão compostas por 4 trabalhos individuais, sendo dois trabalhos a serem realizados de forma remota assincrona e dois trabalhos a serem realizados de forma presencial restrita no laboratório do Insituto de Informática.

A média final será a média aritmética dos 4 trabalhos ($MF=(A1+A2+A3+A4)/4$). A conversão da média numérica para conceito será feita conforme o seguinte critério:

$MF \geq 8,5$: Conceito A

$8,5 > MF \geq 7,5$: Conceito B

$7,5 > MF \geq 6,0$: Conceito C

$MF < 6,0$: ver resolução

De acordo com a Resolução do CEPE sobre o ERE, durante o período em que perdurar o ERE, fica inaplicável a atribuição de conceito FF, prevista no §2º, do Art. 44, da Resolução nº 11/2013 do CEPE.

Para os estudantes matriculados até o final do período e que deixaram de participar da Atividade de Ensino, deverá ser atribuído o registro NI (Não Informado) no campo de conceito do sistema acadêmico.

Para os casos previstos no §1º, a justificativa do registro NI deverá conter a referência ao período de excepcionalidade.

Os casos de não informação de conceito durante o ERE, deverão ser resolvidos até o fim do segundo período letivo, após o fim da situação emergencial de saúde.

Atividades de Recuperação Previstas

Os trabalhos individuais que serão realizados de forma remota assincrona poderão ser recuperados.

Prazo para Divulgação dos Resultados das Avaliações

O resultado das avaliações serão divulgados ao longo do semestre antes do periodo de recuperação para dar tempo aos alunos realizarem as recuperações necessárias.

Bibliografia

A Bibliografia Básica Essencial deve estar disponível de forma digital.

| |
|------------------|
| Básica Essencial |
|------------------|

D'AMORE, ROBERTO. VHDL Descrição e Síntese de Circuitos Digitais. Sao Paulo: LTC, 2005. ISBN 8521614527.

Roberto d'Amore. VHDL Descrição e Síntese de Circuitos Digitais, Versão online

<http://www.ele.ita.br/~damore/vhdl/>

Ferramenta online VHDL: <https://www.edaplayground.com/>

Página online sobre VHDL <https://www.vhdl-online.de>

Básica

Milos Ercegovic, Tomas Lang. Introdução a Sistemas Digitais. Bookman, 2000. ISBN 8573076984.

Básica

Carro, Luigi. Projeto e prototipação de sistemas digitais. Porto Alegre: Editora da UFRGS, 2001. ISBN 8570255896.

Complementar

HAMBLÉN: J.O.Hamblen, M.D.Furman.. Rapid Prototyping of Digital Systems: Quartus® II Edition. Springer, 2005. ISBN 0387277285.

Harris, David F.. Skew-Tolerant Circuit Design. San Diego: Academic Press, 2001. ISBN 155860636X.

Mano, M. Morris; Kime, Charles R.. Logic and computer design fundamentals. Upper Saddle River: Pearson Prentice Hall, 2008. ISBN 9780131989269; 013198926X.

Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Design with VHDL Design. McGraw-Hill

Outras Referências

Observações