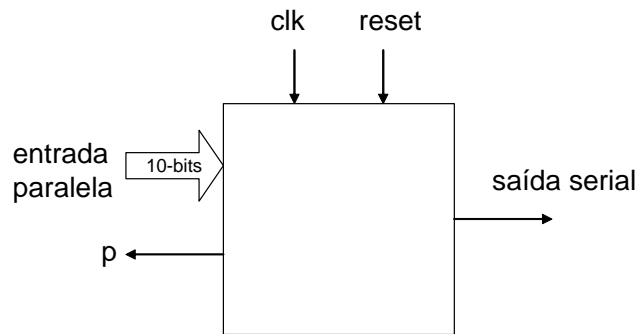


LISTA 3 DE SISTEMAS DIGITAIS  
 Prof. Fernanda Gusmão de Lima Kastensmidt

**Questão 1:** Projete um sistema digital que capture em paralelo um valor binário S de 10 bits ( $S_{9:0}$ ) e teste sua paridade.

Caso a paridade seja 1 (número par de bits em 1), o sistema envia o dado capturado para saída de modo serial na seguinte ordem  $S_0, S_1, S_2, \dots, S_9$ . Caso a paridade seja 0 (número ímpar de bits em 1), o sistema envia o dado para saída de modo serial na seguinte ordem  $S_9, S_8, S_7, S_6, \dots, S_0$ .

O sistema deve avisar quando esta disponível para uma próxima captura de dado, por exemplo ( $p=1$ ), disponível para capturar um dado de 8 bits de entrada, ( $p=0$ ), não disponível, ou seja, o sistema está processando o dado ou enviando serialmente para a saída.



- Mostre o diagrama de estados do bloco de controle. (1 ponto)
- Mostre o esquemático do bloco operativo. (1 ponto)
- Descreva em VHDL o sistema digital. Não esqueça de descrever: bibliotecas, a entidade, sinais internos e as arquiteturas para o bloco operativo e o de controle. (1,5 pontos para bloco de controle, 1,5 pontos para bloco operativo)

**Questão 2:** O algoritmo abaixo deve funcionar a uma frequência de no mínimo 200MHz.

- Projete uma parte operativa que implemente o algoritmo de modo a realizar a operação na frequência mínima necessária, sabendo que o atraso do multiplicador é de 4ns, do somador ou subtrator é de 2ns e do comparador é de 3ns. Para tal, aconselha-se o uso de PIPELINE. (2 pontos)

- Mostre o diagrama de tempos dos sinais registrados (2 pontos). Represente todos os sinais para no mínimo 10 ciclos de relógio.
- Qual é a profundidade do PIPELINE. Em outras palavras, quantos ciclos de relógio são necessários para que, uma vez capturado os dados de entrada, possamos ver na saída o valor final do algoritmo? (1 ponto)

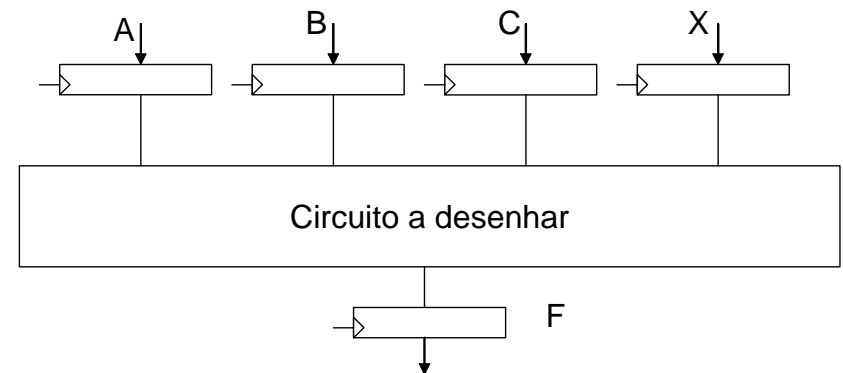
$$G(x) = A.X^3 + B.X^2 + C;$$

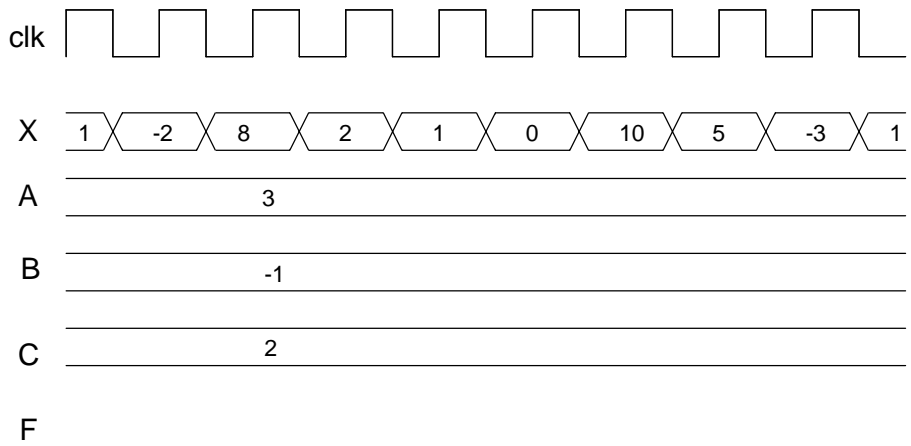
$$H(x) = A.X^2 + X.(B-C+D);$$

$$F=1 \text{ se } G(x) = H(x), \text{ se não } F=0;$$

**Questão 3:**

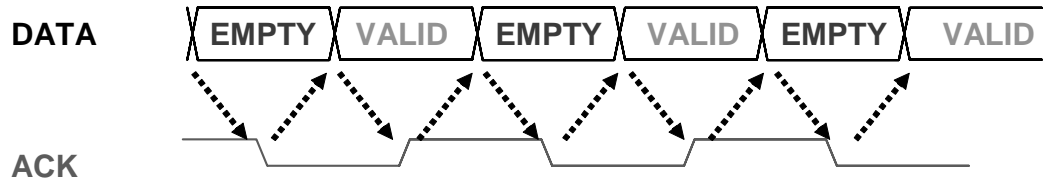
- Desenhe o circuito combinacional que realiza a operação  $AX^3+BX^2+CX+2$  e insira pipeline de tal maneira que a aplicação rode a 10 MHz ou mais rápido.
- Complete o diagrama de tempos conforme a execução do circuito final. Atraso do multiplicador é de 85ns e o atraso do somador é de 25ns.



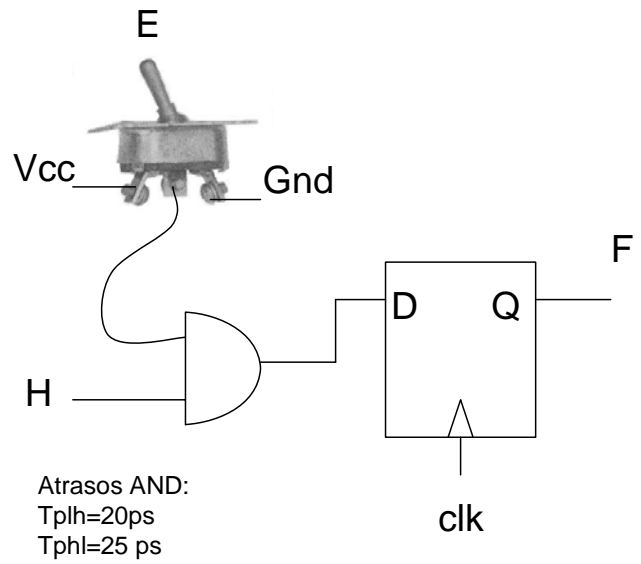


- Questão 5:** Implemente o esquemático de uma célula Muller de 3 entradas.
- Questão 6:** Implemente o esquemático de uma célula M-out-of-N de 3 entradas.
- Questão 7:** Discuta sobre as diferenças e semelhanças entre uma celula Muller e uma celula Threshold (M-out-of-N) e vantagens em termos de área e desempenho.
- Questão 8:** O protocolo a seguir é:
- (a) 2 phases, dual rail
  - (b) 4 phases single rail
  - (c) 4 phases dual rail
  - (d) 2 phases single rail

Justifique a resposta.



**Questão 9:** Para que condições o circuito a seguir pode apresentar meta-estabilidade?

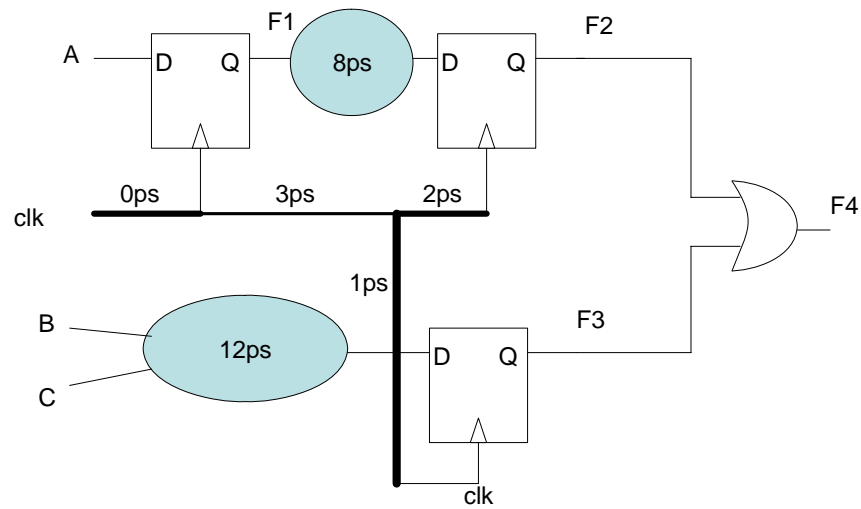


Atrasos AND:  
 Tplh=20ps  
 Tphl=25 ps

Atrasos Flip-flop:  
 Tset-up= 2ps  
 Thold=1ps  
 Tp=15ps

**Questão 10:** Sugira uma solução e justifique para terminar com a meta-estabilidade do circuito a cima?

**Questão 11:** O clk skew é um problema que deve ser evitado, mas quase sempre é impossível evitar totalmente. Avalie a possibilidade de falha da resposta do circuito a seguir na presença de atrasos no roteamento do relógio como indicado. Considere que as entradas A, B, C e clk transicionam simultaneamente.



**Questão 11:** Descreva um testbench para verificar o funcionamento de um datapath como mostrado a seguir. Todos os caminhos estão sendo exercitados?

