

INF01058

Circuitos Digitais

Flip-Flops

Aula 17b

Circuitos Digitais

1. Flip-flop mestre-escravo tipo RS

Modo de operação

- C=1** → Mestre habilitado → Q_M segue $S_M = S$ e $R_M = R$
Escravo desabilitado → Q_M e \bar{Q}_M podem variar à vontade sem causar efeito em $Q = Q_S$
- C=0** → Mestre desabilitado → S_M e R_M podem variar à vontade sem causar efeito em Q_M → S_S → Q_S
Escravo habilitado → Q_S copia valor de Q_M

Circuitos Digitais

Exemplo de seqüência de eventos

Circuitos Digitais

Cascateando FF's mestre-escravo

Circuitos Digitais

2. Flip-flop mestre-escravo tipo D

3. Flip-flop mestre-escravo tipo JK

- Problema com FF RS: $R=1$ e $S=1$ não pode ser usado
- Flip-Flop JK : $R=1$ e $S=1$ é usado para complementar o Flip-Flop

Circuitos Digitais

LATCH JK = Latch RS + portas na entrada

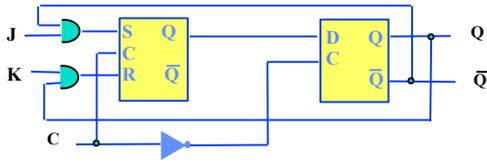
Operação FF JK

Se $J = K = 1$

- Se $Q = 1$, então $\bar{Q} = 0$ e a entrada J fica desabilitada
 $K = 1$ faz $R = 1$ → $Q = 0$ **complementa**
a entrada K fica desabilitada
- Se $Q = 0$, então $J = 1$ faz $S = 1$ → $Q = 1$ **complementa**
 $\bar{Q} = 0$

Mestre-Escravo JK

supondo latch RS controlado, com NAND's



Se $J = K = 1$

a) se $Q = 1, \bar{Q} = 0$



entrada J desabilitada
K = 1 faz R = 1 \Rightarrow Q = 0 complementa

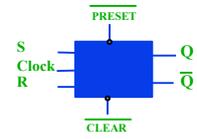
b) se $Q = 0, \bar{Q} = 1$



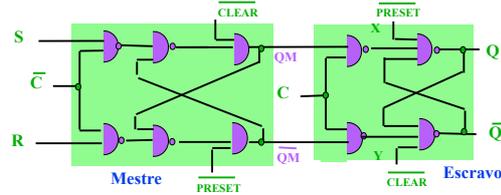
entrada K desabilitada
J = 1 faz S = 1 \Rightarrow Q = 1 complementa

4. Entradas diretas (não controladas, assíncronas)

Preset (ou SET) \Rightarrow assíncronas com o relógio
Clear (ou RESET)



Exemplo supondo mestre-escravo RS



Operação

a) Se $\overline{CLEAR} = 0$

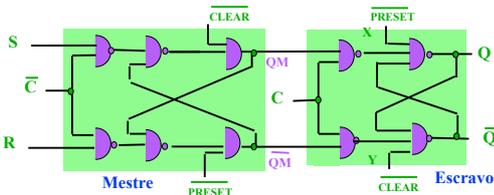
\bar{Q} é forçado para 1
QM é forçado para 0 $\Rightarrow X = 1$ } Q = 0
PRESET = 1

- C não tem efeito sobre X nem sobre \bar{Q}
- R e S não têm efeito sobre QM

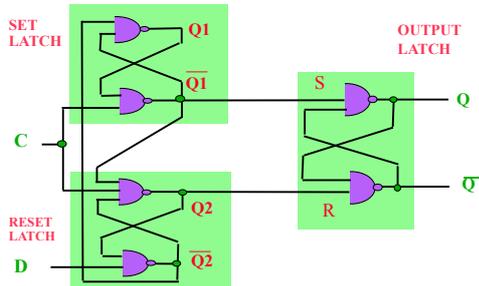
b) Se $\overline{PRESET} = 0$

Q é forçado para 1
Qm é forçado para 0 $\Rightarrow Y = 1$ } $\bar{Q} = 0$
CLEAR = 1

- C, R, S não têm efeito



5. Flip-flop D sensível à borda ("edge-triggered")



$C = 0 \Rightarrow S = 1, R = 1 \Rightarrow Q$ e \bar{Q} mantêm estado atual

Supondo $D = 0$ e $C = 0$

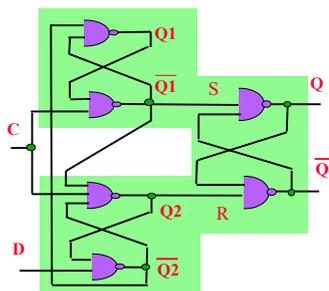
$D = 0 \Rightarrow Q2 = 1$
 $C = 0 \Rightarrow Q2 = 1$
 $\Rightarrow Q1 = 0, \bar{Q1} = 1$

Q2 fica "armado",
esperando variação em C

C tem uma transição 0 \Rightarrow 1

$C = 1 \Rightarrow Q2 = 0 (=R)$
 $\Rightarrow \bar{Q} = 1, Q = 0$ (Q copiou D),

enquanto C = 1, qualquer alteração em D não afeta $\bar{Q2}$, pois $Q2 = 0$, e portanto não afeta R.



Supondo $D = 1$ e $C = 0$

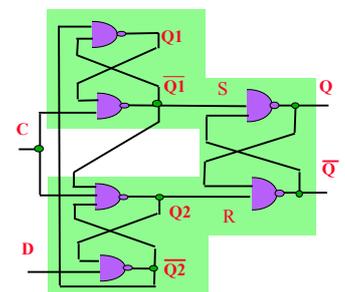
$C = 0 \Rightarrow Q2 = 1 \Rightarrow \bar{Q2} = 0 \Rightarrow Q1 = 1$
 $D = 1 \Rightarrow \bar{Q1} = 1$

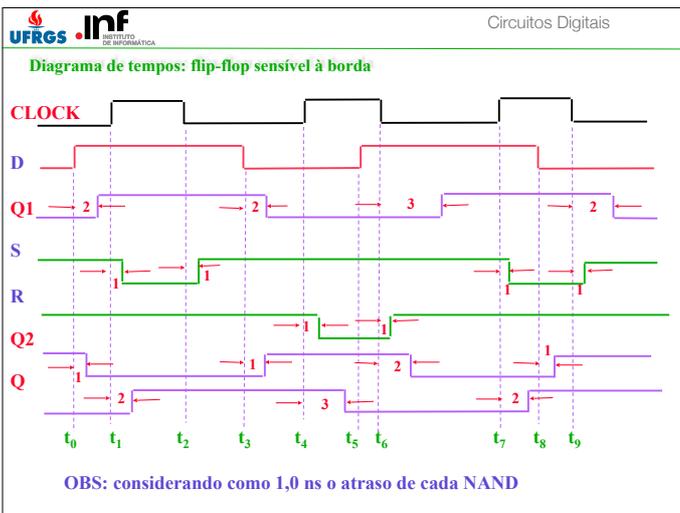
$\bar{Q1}$ fica "armado",
esperando variação em C

C tem uma transição 0 \Rightarrow 1

$C = 1 \Rightarrow \bar{Q1} = 0 (=S)$
 $\Rightarrow Q = 1, \bar{Q} = 0$ (Q copiou D),

enquanto C = 1, qualquer alteração em D pode afetar $\bar{Q2}$, mas não afeta Q1, e portanto não afeta $\bar{Q1}$ (=S).





UFRGS .inf INSTITUTO DE INFORMÁTICA

Circuitos Digitais

6. Classificação de FF's e latches

Classificação segundo 2 critérios ortogonais

1. Classificação segundo resposta ao pulso de relógio
 - sensível ao nível (latch)
 - sensível à borda
 - mestre-escravo
2. Classificação segundo funções das entradas de dados
 - RS (ou SR)
 - D
 - JK
 - T (TOGGLE) : JK com as 2 entradas ligadas juntas
 - T = J = K = 0 → nenhum efeito
 - T = J = K = 1 → complementa estado

UFRGS .inf INSTITUTO DE INFORMÁTICA

Circuitos Digitais

7. Aspectos temporais

7.1 Tempos de SETUP e HOLD

Considerar FF D sensível à borda

Para que transição C: 0 → 1 tenha efeito (Q ← D), valor de $\bar{Q}2$ (no caso de D = 0) ou Q1 (no caso de D = 1) já deve estar estável em 1

D → $\bar{Q}2 = 1$ atraso de 1 porta → Este atraso é chamado de tempo de SETUP

D → Q1 = 1 atraso de 2 portas

Após transição de C, D deve manter-se estável pelo tempo de HOLD

UFRGS .inf INSTITUTO DE INFORMÁTICA

Circuitos Digitais

7.2 Ciclo de relógio

Considerando FF's mestre-escravo

Circuito seqüencial

Quando CK = 0 → saída recebe valor do mestre

Saídas dos diversos FF's devem se propagar através da lógica combinacional retornar às entradas dos FF's com valores estáveis antes que CK = 1

Usa-se pulso de relógio estreito (mais tempo em 0)

tempo para a lógica combinacional estabilizar