

Lista de exercícios sobre tecnologia CMOS

1) Assinale Verdadeiro ou Falso para as afirmativas abaixo.

- Transistores NMOS tem menor resistência do que transistores PMOS, e por isso a tecnologia CMOS emprega apenas transistores NMOS em arranjos complementares;
- A porta lógica NAND2 é considerada uma porta lógica universal pois é possível implementar qualquer função lógica de qualquer complexidade usando exclusivamente um conjunto dessas portas;
- A porta lógica NOR é considerada uma porta lógica universal pois é possível implementar qualquer função lógica de qualquer complexidade usando exclusivamente um conjunto de portas NOR;
- As portas lógicas NAND e NOR são consideradas portas lógicas universais pois é possível implementar qualquer função lógica de qualquer complexidade usando exclusivamente um conjunto de portas deste mesmo tipo;
- Na tecnologia CMOS, são usados apenas dois tipos de transistores bipolares para implementar células lógicas, sendo que a rede N usa transistores NPN e a rede P usa transistores PNP;
- Uma mesma função lógica pode ser implementada eletricamente por diferentes arranjos de componentes como resistores, capacitores, diodos, transistores bipolares ou FET;
- Pela miniaturização dos transistores em um circuito integrado, nas últimas décadas foi possível implementar um número cada vez maior de transistores em um mesmo circuito, e estes tornaram-se cada vez mais rápidos;
- Uma célula básica de memória RAM estática pode ser implementada com apenas 4 transistores;
- Famílias lógicas são formadas por circuitos implementados com determinados tipos de componentes e tecnologia, como por exemplo: família TTL, família NMOS, família CMOS;
- Famílias lógicas são formadas por circuitos que desempenham funções semelhantes, como por exemplo: família de portas simples, família de codificadores e decodificadores, família de circuitos aritméticos (*half adder*, *full adder*), família de registradores, etc.;
- Toda soma de mintermos é uma soma de produtos, mas a primeira é canônica. Nem toda soma de produtos é uma soma de mintermos, mas ela pode ser uma expressão de menor tamanho.
- Margem de ruído é o menor valor entre a diferença entre 0V e o maior nível aceito como zero lógico e a diferença entre V_{cc} (Ex: 5V) e o menor valor aceito como "um" lógico, ou seja, a margem em que pode haver ruído sem prejudicar a compreensão do sinal;
- Para o projeto de operadores aritméticos, como somadores e multiplicadores, a primeira etapa sempre será a especificação das tabelas-verdade de todos os bits da função, considerando todos os bits dos operandos;
- A minimização lógica mesmo em dois níveis é um problema não tratável, isto é, não existe algoritmo que rode com a garantia de parar e forneça a representação da função com menor número de literais em uma equação, ou menor número de portas e transistores;
- A minimização lógica é um problema que não tem um algoritmo determinístico eficiente para sua solução, isto é, não existe algoritmo que rode em tempo polinomial e forneça a representação da função com menor número de literais em uma equação, ou menor número de portas e transistores;

2) Explique o que ocorre na tecnologia CMOS se implementarmos uma porta lógica complementar estática do tipo AND com transistores do tipo NMOS na rede de pull-up, que liga a saída à alimentação positiva, e transistores do tipo PMOS na rede de pull-down.

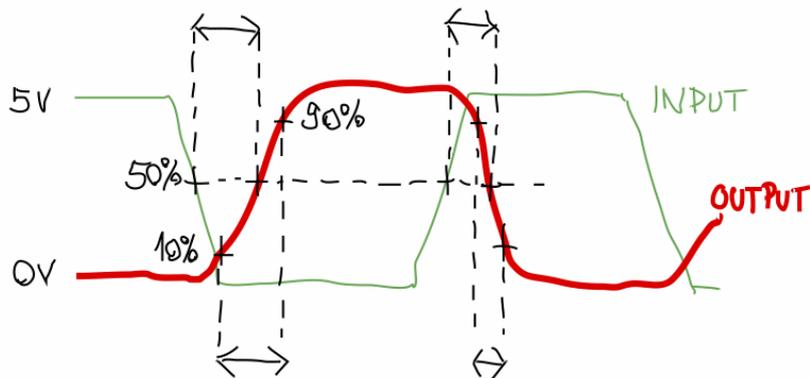
3) Explique o que é a margem de ruído e diga qual a sua importância para circuitos digitais.

4) Na frase a seguir, preencha as lacunas com as palavras corretas: "maior", "menor", "entrada" ou "saída". Um transistor MOS com maior comprimento l terá _____ resistência de _____, _____ capacitância de entrada, _____ tempo de propagação.

5) Na frase a seguir, preencha as lacunas com as palavras corretas: "maior" ou "menor". Um transistor MOS com maior largura w terá _____ resistência, _____ capacitância, _____ atraso.

6) Explique textualmente e indique com um desenho o que é t_{plh} e o que é t_{rise} .

7) Indique na figura abaixo os quatro tempos marcados, dando sua sigla e nome.



8) Medindo o atraso de uma porta lógica da forma convencional, isto é, pela diferença de tempo entre a transição dos sinais na entrada e na saída da porta quando esses sinais passam pelo nível de 50% da tensão de alimentação, pergunta-se: é possível que esse atraso tenha um valor negativo? Justifique sua resposta.

9) Dois buffers estão conectados por um fio de resistência w_r e capacitância w_c . O atraso do buffer é dado por $d_b + r_b * C$, onde C é a capacitância do fio w_c mais a capacitância de entrada da porta a ela ligada, c_b , e o atraso do fio é dado por $w_r * w_c$. Diga em quais condições dividir esse fio pela metade e inserir mais uma porta do mesmo tipo buffer irá reduzir o atraso total.

10) O que caracteriza as tecnologias e famílias de circuitos CMOS complementares estáticos?

11) Existe um caminho de corrente ligando as entradas até as saídas de uma porta CMOS estática?

12) Como se chama o consumo de energia de uma porta complementar CMOS estática durante os períodos de tempo em que as entradas não variam de valor/tensão?

13) Qual é o principal componente de consumo de energia em tecnologia CMOS estática, e quando ocorre?

14) Durante as transições do valor de saída de uma porta CMOS existem dois tipos de correntes que surgem e têm como consequência consumo de potência e atraso. Como se chamam e por quê ocorrem?